

Portas Lógicas XOR: Impacto da Variabilidade PVT no Desempenho para Tecnologia de 32nm

Fábio G. R. G. da Silva, Paulo F. Butzen, Cristina Meinhardt

Abstract — Esse trabalho analisa e compara diferentes arranjos de transistores que implementam a função lógica XOR sob efeitos de variabilidade PVT (*Process, Voltage and Temperature*). O objetivo é identificar quais arquiteturas são mais apropriadas para lidar com variabilidade de processo, tensão e temperatura no projeto de circuitos integrados levando em consideração o desempenho. Quatorze diferentes arquiteturas de XOR são descritas em uma tecnologia preditiva de 32nm. Os resultados mostram que as diferentes topologias se comportam de maneira distinta quando estão sob efeito de variabilidade PVT. O impacto da variabilidade no desempenho dos circuitos integrados é um fator importante que deve ser explorado para que seja possível projetar circuitos mais robustos em tecnologias nanométricas.

Index Terms— Portas Lógicas XOR, Variabilidade PVT, Desempenho.

I. INTRODUÇÃO

Circuitos integrados estão presentes nos mais variados equipamentos eletrônicos que são utilizados hoje em dia. Devido a miniaturização dos componentes, a complexidade das arquiteturas eletrônicas se torna maior em uma pequena área. Entretanto, dispositivos projetados em escala nanométrica apresentam um grande aumento nas suas funcionalidades e um ótimo desempenho.

A Unidade Lógica e Aritmética (ULA) realiza diversas operações em um sistema digital, entre elas a mais utilizada é a operação de soma aritmética. Os somadores completos são os responsáveis pela realização da operação de soma, e devido a grande realização dessas operações os somadores completos fazem parte do caminho crítico do sistema.

Este trabalho foi apoiado em parte pelos programas de Iniciação Científica da Universidade Federal do Rio Grande - FURG (EPEM/EPEC).

Fábio Gustavo Rossato Gomes da Silva atualmente é aluno do curso de Engenharia de Computação e faz parte do Grupo de Sistemas Digitais e Embarcados – GSDE, dentro do Centro de Ciências Computacionais – C3, FURG. (e-mail: faborossato@furg.br)

Cristina Meinhardt é professora na Universidade Federal do Rio Grande. Ela faz parte do Centro de Ciências Computacionais – C3 e do Programa de pós-graduação em Engenharia de Computação – PPGComp, da FURG. (e-mail: cristinameinhardt@furg.br)

Paulo F. Butzen é professor na Universidade Federal do Rio Grande. Ele faz parte do Centro de Ciências Computacionais – C3 e do Programa de pós-graduação em Engenharia de Computação – PPGComp, da FURG. (e-mail: paulobutzen@furg.br)

A função ou-exclusivo (XOR) é o subcircuito mais utilizado para o projeto de somadores completos. Além disso, ela é amplamente utilizada em sistemas digitais e está presente na maioria dos circuitos digitais. Portas lógicas XOR também são componentes essenciais em circuitos comparadores, geradores de paridade e detectores de erros, por exemplo [1]. Consequentemente, as características elétricas da porta lógica XOR são muito importantes porque elas afetam significativamente o desempenho final desses sistemas.

A saída da porta lógica XOR só é verdadeira quando as suas entradas são diferentes entre si, isto é, uma entrada verdadeira e uma falsa. Geralmente, ela é representada pelo símbolo \oplus . Consequentemente, $F = A \oplus B$ é a representação para a função lógica XOR de duas entradas, A e B. A porta XOR é frequentemente utilizada como detector de paridade de operadores lógicos, permitindo a comparação dos valores de entrada.

Existem diversos arranjos de transistores que podem implementar a função lógica XOR. A Fig. 1 apresenta quatorze diferentes implementações de portas lógicas XOR. A maioria das propostas exploram conceitos de duas famílias lógicas: a lógica CMOS tradicional e a lógica de transistores de passagem PTL. As duas primeiras linhas da Fig. 1 ilustram quatro implementações de portas lógicas XOR exploram as características da família lógica CMOS (V1 – V4) [5-8]. A família lógica CMOS é comumente utilizada no projeto de bibliotecas padrões de célula. Ela explora o conceito de planos complementares chamados de *pull-up* e *pull-down*, apresentando alta imunidade a ruído e boa capacidade de condução de corrente [2].

O restante das portas lógicas ilustradas na Fig. 1 são as que exploram o conceito de transistor de passagem PTL (V5 – V14) [1][3-10]. A lógica PTL explora o uso de transistores de passagem. Para muitas funções lógicas o estilo PTL é capaz de atingir implementações com a área menor do que a lógica CMOS [3]. Entretanto, o uso de portas PTL em cascata compromete as características elétricas do sistema. Muitos pesquisadores propuseram topologias que usam a combinação dessas duas famílias lógicas com o intuito de explorar as melhores características de cada uma delas [1-6]. Considerando a grande diversidade de arranjos de transistores que implementam a função lógica XOR, é importante a verificação do comportamento desses diferentes arranjos para o mesmo modelo de simulação, atingindo assim uma comparação justa.

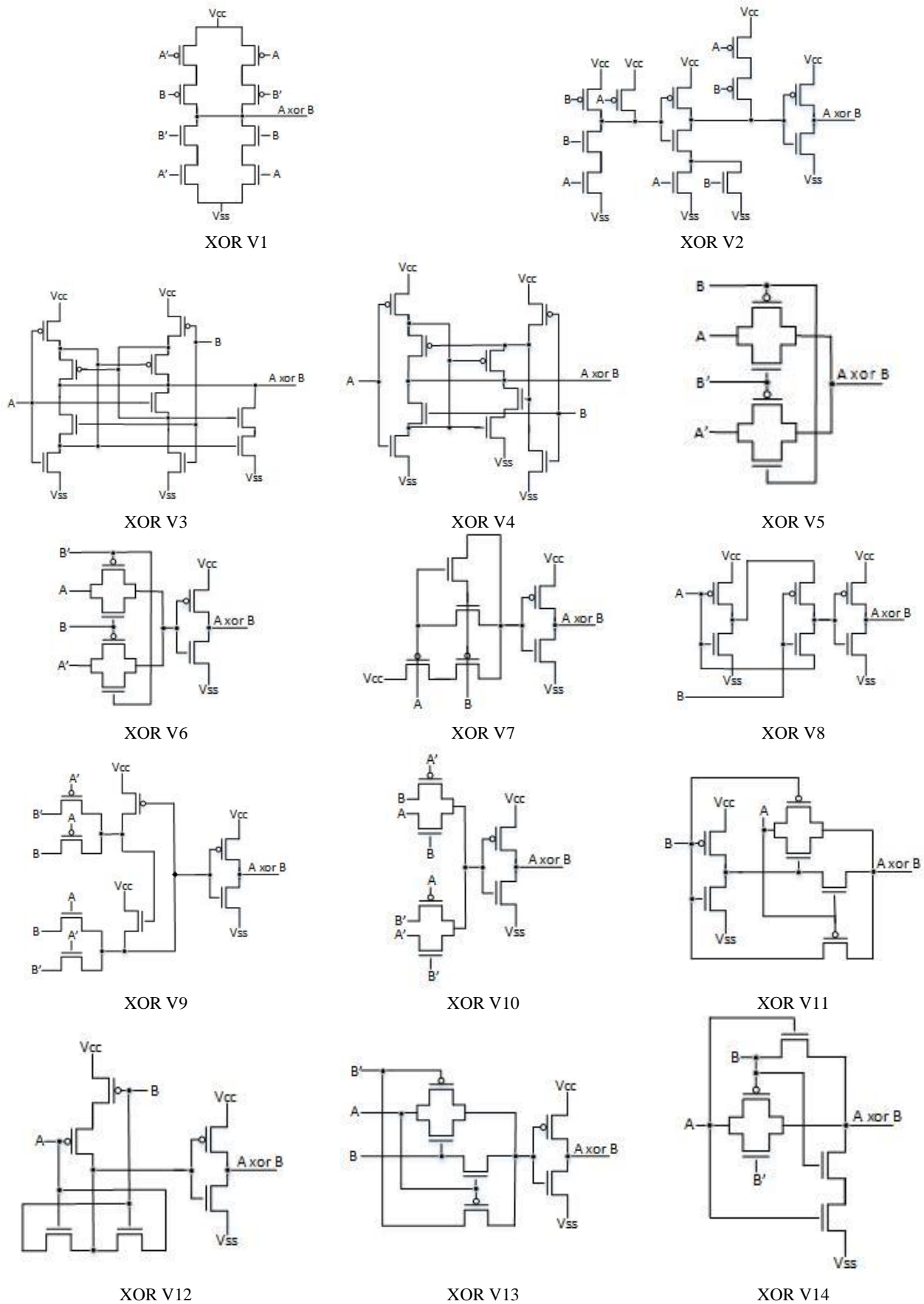


Fig. 1 Arquiteturas das Portas Lógicas XOR

Devido as características da função lógica XOR, as soluções que exploram os conceitos de transistor de passagem tendem a ter um número reduzido de transistores. Entretanto, os seus sinais tendem a ser mais suscetíveis a ruído [11].

Os sistemas computacionais atuais são geralmente projetados considerando a otimização de desempenho dos mesmos. Entretanto, embora as novas tecnologias colaborem para o aumento do desempenho e aumento do fator de integração, elas introduzem vários desafios aos projetistas de sistemas digitais e embarcados. Um dos principais desafios está relacionado a fabricação de dispositivos em processos nanométricos.

Esses desafios estão associados principalmente devido aos limites da resolução do processo litográfico [12]. Em um processo de fabricação existem diversas etapas, qualquer diferença nas especificações de alguma delas pode acarretar em mudanças comportamentais e físicas dos transistores. A Fig. 2 ilustra a variação da frequência de operação excedendo 30% e a corrente de fuga apresentando valores numa faixa de amplitude de oscilações de 20 vezes de diferença entre o maior e o menor valor observado. Estas variações foram observadas após um mesmo projeto de fabricação da Intel, onde foi utilizada a tecnologia de 180nm.

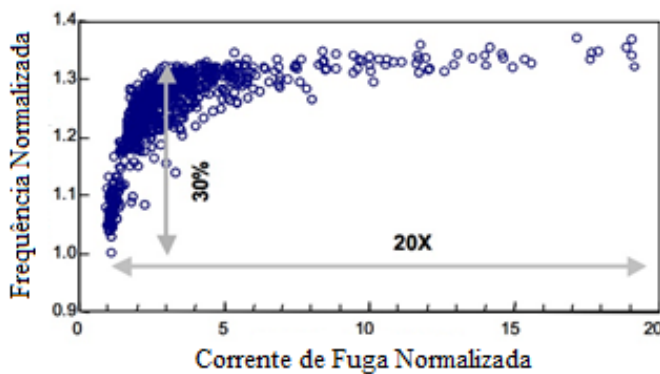


Fig. 2 Variação da frequência de operação e corrente de fuga [13].

Devido à grande melhoria nas técnicas de litografia, tornou-se possível reduzir ainda mais a escala dos componentes dos circuitos elétricos, aumentando assim a integração dos transistores. O processo de litografia transfere padrões especificados de uma máscara para a superfície de um substrato. Nas tecnologias atuais, o tamanho de onda utilizada no processo litográfico é maior do que as dimensões mínimas das linhas que são desenhadas. A Fig. 3 ilustra a redução no número de dopantes na região de depleção de um MOSFET, principalmente para transistores de tamanho mínimo.

Variabilidade de processo, tensão e temperatura afetam diretamente esse desempenho dos circuitos. Portanto, a influência dessas variações deve ser verificada e, alternativas para diminuir essa degradação, devem ser investigadas.

A causa da variabilidade pode ser dividida em três diferentes fatores: ambientais, de confiabilidade e físicos [15]. Os fatores físicos estão relacionados com a contínua redução das dimensões dos dispositivos e suas interconexões e com o aumento da escala de integração de dispositivos em uma mesma área. Deste modo, a uniformidade no processo de fabricação é cada vez mais importante e difícil. O entendimento de

variabilidade é essencial para o controle do processo e para o projeto de circuitos de alto desempenho [16].

Fatores ambientais como temperatura e tensão, fatores físicos como imperfeições no processo e flutuações intrínsecas no dispositivo resultam na variabilidade que afeta a tensão limiar (V_{th}), por exemplo [17][18]. A análise e estimação dessa variabilidade são essenciais para o desenvolvimento da tecnologia e o projeto dos sistemas em nodo nanométricos.

O principal problema associado à variabilidade é a incerteza do funcionamento correto das operações do circuito em termos de desempenho e consumo de potência. Não há garantia de que o circuito que é projetado irá operar em uma determinada frequência ou irá se comportar como o esperado após a sua manufatura. A variabilidade pode causar melhorias ou danos quanto a especificação inicial.

Esse trabalho tem enfoque nesse contexto, avaliando dois desses fatores, os fatores ambientais e físicos, explorando a tensão de alimentação, temperatura e o impacto de variações no processo de fabricação de um montante de arquiteturas de portas lógicas XOR para as mesmas condições em uma tecnologia preditiva de 32nm.

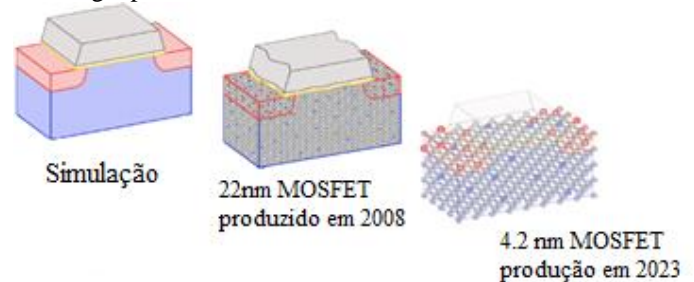


Fig. 3 Características atômicas de transistores nas tecnologias MOSFET de 22nm e 4.2nm [14]

II. VARIAÇÕES FÍSICAS

O processo de fabricação de circuitos integrados em tecnologias nanométricas vem alterando o projeto físico dos circuitos, criando assim regras mais complexas de layout e exigindo o uso de uma ampla faixa de segurança na concepção dos blocos para que seja possível lidar com uma maior variabilidade do processo. A redução do tamanho dos transistores trouxe consigo novas fontes de variação no processo de fabricação de circuitos integrados, tornando assim cada vez mais difícil o controle da variabilidade. A variabilidade vem afetando todas as gerações de circuitos e diminuindo a previsibilidade de desempenho dos circuitos nanométricos, afetando diretamente a operação do circuito.

Durante o processo de fabricação de circuitos podem ocorrer três tipos principais de defeitos que são responsáveis pela redução do rendimento (*yield*) [19].

Defeitos randômicos são provocados por partículas de impurezas que se depositam durante o processo de fabricação no chip ou nas máscaras provocando curtos-circuitos ou circuitos abertos. A Fig. 4 ilustra alguns exemplos destes defeitos provocados através de partículas de impureza, acarretando assim em curtos-circuitos, pontos de materiais indesejados e interrupções nas áreas projetadas. Esses tipos de defeitos eram as principais causas dos defeitos encontrados em tecnologias antigas. Com a redução de escala a taxa de defeitos

randômicos permaneceu constante, mesmo com as melhorias nas qualificações das salas limpas.

Defeitos paramétricos ocorrem quando todos elementos de um chip estão funcionando corretamente, entretanto ele não corresponde aos requisitos da especificação do projeto, como timing ou potência. Este tipo de defeito é o resultado de interconexões parasitas e cresce com a redução de escala das tecnologias.

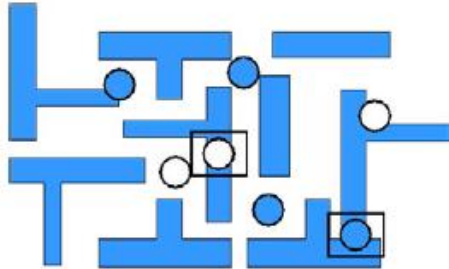


Fig. 4: Exemplos de defeitos randômicos provocados por partículas de impurezas [19].

Defeitos sistemáticos estão relacionados com o leiaute e as variações no processo de fabricação, tais como as variações mecânicas, litográficas e do plasma na corrosão. Alguns exemplos de defeitos sistemáticos são: a diferença entre as alturas de um metal entre regiões do chip, efeito conhecido como planaridade [20] ou variações *in-die* [21], o acúmulo de carga entre componentes de interconexão durante a fabricação (efeito antena), vias abertas e a eletromigração. Os defeitos sistemáticos podem ser compensados com o uso de algumas técnicas de resolução, entretanto o leiaute projetado pode limitar a aplicação das principais técnicas de resolução, principalmente quando são utilizadas as mínimas distâncias possíveis.

As variações no processo de fabricação além de serem decorrentes dos defeitos do processo de fabricação, elas podem ser divididas em dois grupos: a variação entre pastilhas de um mesmo projeto e as variações internas nas pastilhas. A variação entre pastilhas é a diferença de valor de um parâmetro entre pastilhas idênticas. Estas diferenças podem ser de chip para chip, de *wafer* para *wafer* ou de lote para lote. Está principalmente relacionada com as propriedades dos equipamentos, ao posicionamento do *wafer* e com a temperatura do processo. A variação interna nas pastilhas pode ocorrer no *wafer* ou ser dependente dos padrões de leiaute. Por exemplo, as flutuações na dopagem do canal ou na espessura do óxido do *gate*. Essa variação tem ligação com a posição da pastilha no *wafer*, sendo pastilhas vizinhas mais similares que pastilhas distantes. Esses dois tipos de variação apresentam componentes de defeitos randômicos e sistemáticos [22].

A principal origem de variações no processo são variações na litografia e flutuação dos dopantes. Essas variações físicas são observadas em algumas características elétricas, como tensão de limiar (V_{th}), afetando assim diretamente o desempenho e o consumo de potência do circuito [23].

A Fig. 5 ilustra os efeitos indesejáveis da variação ótica no processo de litografia de um circuito integrado. É possível visualizar que as linhas totalmente preenchidas do leiaute desejado dificilmente são obtidas. Os resultados são linhas com cantos arredondados, imperfeições no traçado e, principalmente, pontos críticos onde foram aplicadas as

larguras mínimas permitidas. Da mesma forma que no ponto crítico destacado na figura, onde quase não há deposição de material suficiente para manter a continuidade da conexão.

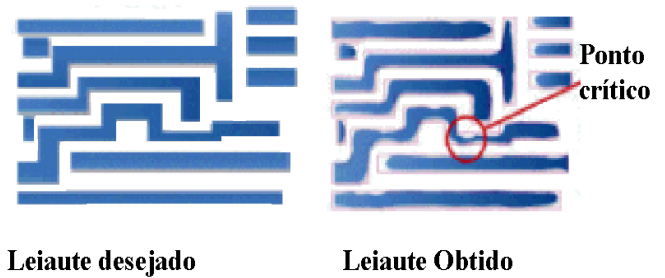


Fig. 5 Diferenças entre o leiaute desejado e o obtido após a litografia [21].

III. VARIAÇÕES AMBIENTAIS

A tensão de alimentação (V_{cc}) é geralmente associada ao consumo de potência dos sistemas. Entretanto, o desempenho do sistema também é afetado pela tensão de alimentação. A corrente de saturação do transistor é dependente da tensão de alimentação. O atraso da porta lógica é dependente da corrente de saturação. Conseqüentemente, a tensão de alimentação afeta também o atraso de propagação das portas lógicas. Alta tensões reduzem o atraso de propagação, deixando assim as células mais rápidas. Essa relação tem comportamento exponencial para grande variação de tensão. Além disso, tensão de alimentação não é constante em um chip, ocorrem quedas de tensão devido à resistência não nula dos fios de alimentação. A alta indutância dos canais de alimentação também contribui para que haja essas quedas de tensão [23].

Variações na temperatura através dos blocos de comunicação de um mesmo chip podem causar problemas no desempenho, que podem gerar falhas funcionais ou lógicas [13]. A corrente de dreno no transistor diminui com o aumento da temperatura, aumentando assim o atraso da porta lógica e conseqüentemente reduzindo o desempenho do sistema. A temperatura de junção (temperatura que há formação das junções nos semicondutores) podem exceder significativamente a temperatura máxima ambiente. Geralmente os sistemas comerciais são verificados para operar com temperaturas de junção até 125°C [2]. Sendo assim, a variabilidade de temperatura afeta o desempenho dos dispositivos e suas interconexões [24]. A Fig. 6 demonstra pontos de alta temperatura em um processador. Nela é possível perceber uma diferença de aproximadamente 50°C em uma mesma área de um chip.

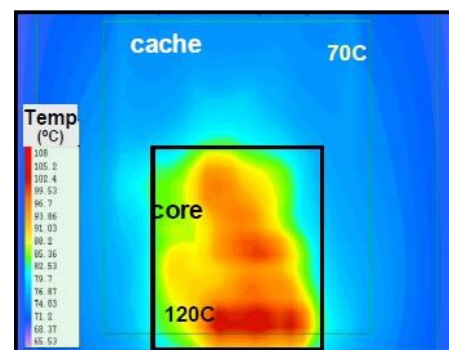


Fig. 6 Imagem térmica dos pontos de alta temperatura em um chip [13].

IV. METODOLOGIA

Esse trabalho avalia as 14 portas lógicas XOR ilustradas na Fig. 1 sob os efeitos de variabilidade PVT. Todos os circuitos foram descritos em linguagem SPICE e simulados eletricamente. A tecnologia preditiva de 32nm foi utilizada para descrever os circuitos [25]. Todos os transistores foram dimensionados com um comprimento de canal $L = 32nm$ e uma largura de canal para transistores do tipo NMOS $W_n = 100nm$ e para os transistores do tipo PMOS $W_p = 200nm$. A tensão nominal de alimentação é 1V.

A Fig. 7 ilustra a estrutura adotada em todos os experimentos realizados neste trabalho. Dois inversores são utilizados nas entradas e um inversor quatro vezes maior (*Fanout 4*) é utilizado na saída como uma capacitância em ordem de simular um cenário mais realista.

O experimento consiste em dois passos. O primeiro é a validação lógica, passo que confirma que todas as topologias propostas estão em perfeito funcionamento. O segundo passo consiste na extração dos resultados de atraso as portas lógicas XOR considerando as variações de processo, tensão e temperatura.

Para evitar lidar com incertezas no atraso devido a variabilidade, os projetistas geralmente desenvolvem os seus sistemas considerando o pior caso. Essa metodologia garante que o sistema irá operar conforme as especificações. Entretanto a solução com o pior caso adiciona um alto custo em relação a área e ao consumo de potência.

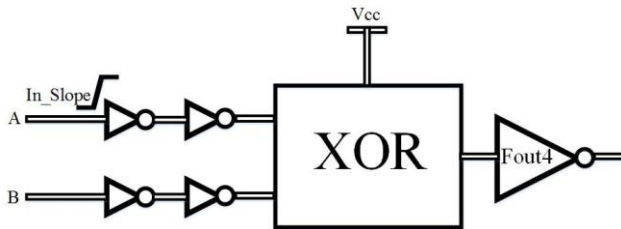


Fig. 7 Estrutura de Avaliação dos Circuitos

Geralmente, a aproximação estatística é explorada, que garante que apenas em poucos casos os sistemas não atingirão as especificações do projeto e serão descartados. Sendo assim, nesse trabalho o efeito de variação no V_{th} devido a variabilidade de processo é explorado através do processo de simulação estatístico de Monte Carlo. O V_{th} do transistor varia de acordo com a distribuição gaussiana e medida de tempo são computadas para cada simulação de Monte Carlo. Dez mil simulações foram executadas para cada porta lógica. As medidas tomadas foram de 3-sigma de desvio em 10% do valor do V_{th} nominal dos transistores. Nenhuma correlação entre os diferentes tipos de transistores foi assumida, o que significa que os dispositivos PMOS e NMOS podem ter variações diferentes em seus parâmetros.

As variações ambientais adotaram os valores padrão empregados no projeto de células padrão na metodologia *Standard Cell*. Deste modo, a tensão de alimentação foi variada em torno de 10% do valor nominal de tensão 1V, isto é, de 0,9V a 1,1V, e os atrasos de propagação para todos os arcos foram computados para cada valor de tensão. Consequentemente, a temperatura foi variada de 25°C a 125°C e os atrasos de

propagação para todos arcos de tempo de cada porta foram computados para cada temperatura.

O atraso médio e seu respectivo desvio padrão das portas lógicas foram computados. O desvio padrão normalizado também foi calculado, sendo possível assim comparar a variabilidade dos arranjos com diferentes resultados de atraso médio.

V. RESULTADOS

Os resultados de simulação para todas arquiteturas da XOR avaliadas nesse trabalho são discutidos abaixo. A discussão é dividida no impacto de variabilidade de processo, tensão e temperatura quanto ao desempenho.

A. Variabilidade de Processo

A Tabela I apresenta um resumo das informações de desempenho obtidas através da simulação de Monte Carlo. A primeira coluna identifica as arquiteturas da XOR conforme mostrado na Fig. 6. Na próxima coluna são apresentados os valores de atraso médio e atraso máximo. A última coluna apresenta o desvio padrão normalizado.

Em relação ao atraso médio, as mais rápidas foram XOR V5, V11 e V14. Essas três soluções exploram a lógica de transistor de passagem. A mais lenta foi a XOR V8 com um atraso duas vezes maior do que a mais rápida. Isso acontece devido ao fato de que em alguns arcos dessa XOR o sinal passar através de três níveis lógicos.

TABELA I.
RESULTADOS DE SIMULAÇÃO PARA VARIABILIDADE DE PROCESSO

XOR	Atrasos		
	μ (ps)	Max (ps)	σ/μ
V1	17,9	21,4	0,045
V2	19,8	23,2	0,032
V3	14,9	17,5	0,040
V4	16,3	19,3	0,042
V5	12,7	15,3	0,043
V6	16,4	19,4	0,036
V7	19,3	33,1	0,175
V8	25,7	63,6	0,264
V9	21,2	26,0	0,044
V10	16,0	19,0	0,039
V11	12,6	15,2	0,048
V12	19,4	33,2	0,175
V13	15,9	18,7	0,036
V14	12,6	15,3	0,050

Em termos de variabilidade, o desvio padrão normalizado mostra que a XOR V7, V8 e V12 devem ser evitadas devido a alta sensibilidade à variabilidade. As topologias da XOR V2, V6 e V13 são as mais robustas para a variabilidade de processo apresentando um desvio pequeno. Todas as outras topologias apresentam variação de até 40% maior do que essas três soluções.

B. Variabilidade de Tensão de Alimentação

A Tabela II mostra o impacto no atraso de uma oscilação de 10% sobre a tensão nominal 1V. Para essa avaliação, o valor máximo é considerado. A coluna 1,0V (ps) mostra os valores absolutos do pior caso com 1,0V. As outras colunas (1,1V e 0,9V) mostra a variação no atraso. Para 0,9V, existe um

aumento no atraso e para 1,1V existe uma redução para todas as versões da XOR. As portas XOR V5, V7, V8 e V12 apresentam as maiores variações quando comparadas com as demais. O impacto é maior em 0,9V a 1,0V do que 1,0V a 1,1V para todas as versões da XOR. As versões mais robustas a variabilidade de tensão são V1, V3, V4 e V14.

A Tabela III apresenta os resultados dos efeitos de variabilidade de tensão operando com faixas de tensão inferiores a tensão nominal. Observa-se que para operações com tensões inferiores a 0,6V, a oscilação nos atrasos é significativa, representando aumento nos atrasos superiores a 170%, ou seja, ultrapassando os valores esperados com tensão nominal em mais de 2x.

TABELA II.
RESULTADOS DE SIMULAÇÃO PARA VARIABILIDADE DE TENSÃO

XOR	Atrasos		
	1.1V (-%)	1.0V (ps)	0.9V (+%)
V1	8,79	22,4	12,6
V2	11,3	21,6	17,0
V3	9,26	20,6	13,3
V4	9,09	20,4	13,2
V5	26,8	38,7	60,8
V6	11,3	18,4	18,0
V7	24,8	32,6	55,1
V8	29,9	40,4	81,9
V9	12,5	24,8	18,7
V10	11,8	18,4	18,1
V11	8,19	19,1	12,1
V12	24,8	32,6	55,1
V13	11,6	19,9	17,6
V14	7,98	16,7	11,7

TABELA III.
RESULTADOS DE SIMULAÇÃO PARA VARIABILIDADE DE TENSÃO OPERANDO COM BAIXA TENSÃO

XOR	Atrasos (Baixa Tensão)		
	0.7V (-%)	0.6V (ps)	0.5V (+%)
V1	45,0	78,0	207
V2	43,5	78,4	204
V3	41,2	64,0	174
V4	44,3	69,0	203
V5	64,6	856	206
V6	46,4	73,8	208
V7	64,4	651	207
V8	72,8	2000	305
V9	42,9	90,9	187
V10	46,5	74,6	208
V11	40,7	56,6	212
V12	64,4	651	207
V13	46,1	78,7	207
V14	45,9	55,5	220

C. Variabilidade de Temperatura

Para todas a versões da XOR avaliadas nesse trabalho, o atraso apresenta dependência linear da temperatura, isto é, o atraso aumenta com o aumento da temperatura. Entretanto, a redução da degradação pode ser considerada a principal diferença entre as arquiteturas da XOR. Para ressaltar a diferença de impacto para cada arquitetura, a influência da temperatura foi avaliada considerando uma diferença no atraso à 25°C e à 125°C. Essa diferença é mostrada na Fig.8 para o atraso médio e o atraso máximo. Para esses atrasos a XOR V9 e a V13 foram mais robustas do que as outras, com cerca de 60% de variação entre o maior e o menor atraso médio. A XOR V12 apresenta a maior variação para o atraso médio, com quase 90% de desvio. As arquiteturas da XOR atingiram diferença de até 30% em casos extremos.

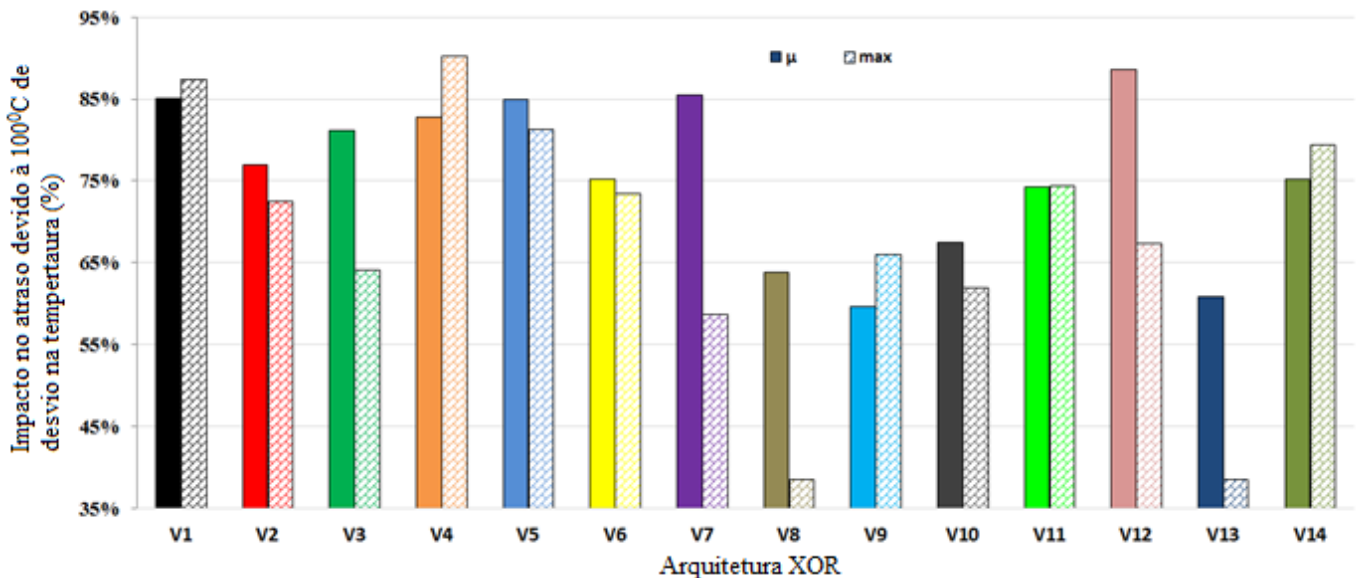


Fig. 8 Atrasos Médio e Máximo sob Efeito de Variabilidade de Temperatura

O impacto no pior caso do atraso é muito particular. As células V8 e V13 tem um pequeno aumento no pior caso do atraso e um impacto médio no atraso médio, mostrando uma pequena sensibilidade para oscilações na temperatura. Por outro lado, as XORs V1, V4, V5 e V14 tem mais de 80% de aumento no atraso máximo e também se mostraram muito sensíveis ao aumento da temperatura. A maioria das células tem um menor aumento no atraso máximo apesar do atraso ter um aumento na maior dos arcos de tempo.

VI. CONCLUSÕES

A comparação de um grande número de arquiteturas de XOR foi realizada nesse estudo. Como esperado, as variações PVT afetam o atraso das portas lógicas. Em termos de variabilidade de processo (V_{th}), a diferença na variação do atraso entre as topologias foi de até 8 vezes. A análise da tensão de alimentação tem apresentado uma grande variação entre as topologias, atingindo 30% para 1,1V e 82% para 0,9V. Quanto a análise da temperatura, a maior diferença atingiu 30% para o atraso médio e 90% para o atraso máximo. A XOR V13 mostra alta sensibilidade a variabilidade de processo e temperatura e moderada robustez a variabilidade de tensão. Considerando as diferentes condições as quais os circuitos integrados são submetidos, os resultados apresentados nesse trabalho fornecem informações de grande valia para ser utilizadas em sistemas que visam o projeto de circuitos mais robustos, como somadores formados a partir de blocos intermediários compostos primeiramente por portas lógicas XOR [26].

REFERÊNCIAS

- [1] J-M. Wang, S-C. Fang, and W-S Feng, "New Efficient Designs for XOR and XNOR Functions on the Transistor Lever", IEEE journal of solid-state circuits, vol. 29, n° 7, pp (708-786), July 1994.
- [2] N. H. E. Weste, D. Harris, "CMOS VLSI design: A circuit and systems perspective", fourth edition, 2011.
- [3] S. Nishizawa, T. Ishihara, and H. Onodera, "Analysis and Comparison of XOR Cell Structures for Low Voltage Circuit Design", IEEE 14th Int. Symposium on Quality Electronic Design, pp (703-709), 2013.
- [4] H. T. Bui, Y. Wang, and Y. Jiang, "Design and Analysis of Low-Power 10-Transistor Full Adders Using Novel XOR-XNOR Gates", IEEE Trans. on Circuits and Systems, vol. 49, n° 1, pp (25-30), January 2002.
- [5] H. T. Bui, A. K. Al-Sheraidah, and Y. Wang, "New 4-Transistor XOR and XNOR Designs, 2nd IEEE Asia Pacific Conference on ASICs, pp (25-28), August 2000.
- [6] S. S. Mishra, K. A. Agrawal, and R. K. Nagaria, "A Comparative Performance Analysis of Various CMOS Design Techniques for XOR and XNOR Circuits", Int. Journal on Emerging Technologies, 2010.
- [7] A. W. Júnior, F. S. Marranghello, R. P. Ribas, and A. I. Reis, "Evaluation of Different XOR Gates", 10th Microelectronics Students Forum, pp(1-4), 2010.
- [8] E. C. Campos, J. Monteiro, R. Ribas, L. J. Guntzel, "Evaluation of XOR Circuits in 90nm CMOS Technology", 24th SIM, pp(55-58), May 2009.
- [9] S. Borkar et al., "Parameter variations and impact on circuits and microarchitecture", DAC, pp. (338-342), 2003.
- [10] V. Moalemi, A. Afzali-Kusha, "Subthreshold 1-bit Full Adder in 100nm Technologies", ISVLSI, pp (1-2), 2007.
- [11] S. R. Chowdhury, A. Banerjee, A. Roy, and H. Saha, "A High Speed 8 Transistor Full Adder Design Using Novel 3 Transistor XOR Gates", World Academy of Science, Engineering and Technology, 2008.
- [12] M. Orshansky et al., Design for Manufacturability and Statistical Design: a constructive approach, New York: Springer, 2008.
- [13] S. Borkar, T. Karnik, S. Narendra, J. Tschanz, A. Keshavarzi, V. De, "Parameter Variations and Impact on Circuits and Microarchitecture", DAC, pp(338-342), 2003.
- [14] Sinnott, R. "NanoCMOS Device", Circuit and System Simulations. Available in <http://www.cnx.org>.
- [15] S. R. Nassif. "Process Variability at the 65nm node and beyond", IEEE Custom Integrated Circuits Conference, San Jose, USA, pp. 1-8, 2008.
- [16] D. Bartelink, "Statistical metrology—At the root of manufacturing control," *J. Vac. Sci. Technol. B*, vol. 12, pp. 2785–2794, 1994
- [17] C. Visweswariah, "Death, taxes and failing chips", DAC 2003, pp. 343-347.
- [18] A. J. Bhavnagarwala, et. al, "The impact of intrinsic device fluctuations on CMOS SRAM cell stability," in IEEE Journal of Solid-State Circuits, vol. 36, no. 4, Apr. 2001, pp. 658-665.
- [19] Abercrombie, D., Fergunson, J., "Design for Manufacturing: What Designers, Need to Know About the Changes in Yield Management" 2005. Available in www.techonline.com/community/ed_resource/tech_paper/37674.
- [20] Sawicki, J. "Achieving Better DFM: EDA Tools Pave the Way to Improved Yield.", EDA Tech Fórum, pp. 28-32, June 2005.
- [21] Robertson, C. "Challenges of Silicon Modeling in Nanometer Designs." Mentor Graphics Corp. Technical Publication, 2003. Available in www.mentor.com/techpapers/abstracts/mentorpaper_18773.cfm, April, 2003.
- [22] Gupta, P.; Kahng, A. B. "Manufacturing-aware physical design." International Conference on Computer-Aided Design (ICCAD), pp. 681-687, nov. 2003. doi: 10.1109/ICCAD.2003.159753.
- [23] A. Johansson, "Investigation of typical 0.13 μm CMOS technology timing effects in a complex digital system on-chip.", Master's Thesis Division of Electronics Systems, Linköping University, 2004.
- [24] R. Kumar, V. Kursun, "Voltage Optimization for Temperature Variation Insensitive CMOS Circuits", Circuits and Systems - Midwest Symposium on, 48th, pp (476-479), 2005.
- [25] PTM – Predictive Technology Model. Available in <http://ptm.asu.edu>.
- [26] F. G. R. G. da Silva, P. F. Butzen, C. Meinhardt, "Performance and Power Consumption Analysis of Nanometric Full Adders", 28th South Symposium on Microelectronics, pp (1-4), 2013.