

Amplificador Operacional de Transcondutância Reconfigurável em Tecnologia CMOS 180 nm

Mateus C. S. Oliveira, Paulo C. C. de Aguirre, Lucas C. Severo e Alessandro G. Girardi

Resumo—Os rádios definidos por software (SDRs) necessitam suportar diferentes bandas de frequência enquanto mantém o consumo de energia proporcional ao nível de performance requerida. Para isto, o uso de blocos analógicos reconfiguráveis se faz necessário. Este trabalho apresenta o projeto de um amplificador operacional de transcondutância (OTA) digitalmente reconfigurável em tecnologia CMOS de 180 nm com quatro modos de operação. A estratégia de reconfiguração empregada para reduzir o consumo de energia, sem alterar o ganho DC, é baseada na reconfiguração da frequência de ganho unitário do OTA. O OTA reconfigurável apresentado neste trabalho é composto por um conjunto de amplificadores unitários que podem ser conectados em paralelo com um amplificador principal. Simulações pós-elaite indicam que o OTA projetado atinge produtos ganho-faixa (GBW) de 22,07/44,04/65,85/87,46 MHz com um máximo consumo de energia de 1,60 mW quando alimentado com tensão de 1,8 V.

Index Terms—Amplificador Operacional, Circuitos Receptores de RF, Circuitos Analógicos Integrados Reconfiguráveis.

I. INTRODUÇÃO

OS dispositivos de comunicação sem fio sofreram uma enorme evolução ao longo da última década em nível de arquitetura e de frequência máxima de operação. Diversos padrões de comunicação foram desenvolvidos e operam em diferentes bandas de frequência. Para suportar estes múltiplos padrões de comunicação em um único dispositivo, é necessário utilizar blocos analógicos flexíveis de modo a otimizar o consumo de energia do circuito presente nos receptores de radiofrequência [1].

Adicionalmente, o consumo de energia dos circuitos analógicos presentes em rádios definidos por software (SDRs) deve ser proporcional ao nível de performance e faixa de frequência de operação do receptor. Desta forma, a flexibilidade dos circuitos analógicos permite minimizar o consumo de energia em cada modo de operação do SDR [2]. A especificação da

Mateus Oliveira é aluno de graduação do curso de Eng. de Telecomunicações da Universidade Federal do Pampa (UNIPAMPA) no Campus Alegrete e membro do Grupo de Arquitetura de Computadores e Microeletrônica (GAMA). (e-mail: mateusoliveira@alunos.unipampa.edu.br)

Paulo César C. de Aguirre é Doutorando em Engenharia Elétrica na Universidade Federal do Rio Grande do Sul (UFRGS) e Mestre em Engenharia Elétrica pela UFRGS. Atualmente é professor Assistente na Universidade Federal do Pampa (UNIPAMPA) Campus Alegrete. (e-mail: paulo.aguirre@unipampa.edu.br)

Lucas Severo é Doutorando em Engenharia Elétrica na Universidade de São Paulo (USP) e Mestre em Engenharia Elétrica pela Universidade Federal do Pampa (UNIPAMPA). Atualmente é Professor Assistente na Universidade Federal do Pampa (UNIPAMPA) Campus Alegrete.

Alessandro G. Girardi é Doutor em Microeletrônica pela Universidade Federal do Rio Grande do Sul (UFRGS) e atualmente é Professor Associado na Universidade Federal do Pampa (UNIPAMPA) Campus Alegrete e Pró-Reitor de Pesquisa da UNIPAMPA.

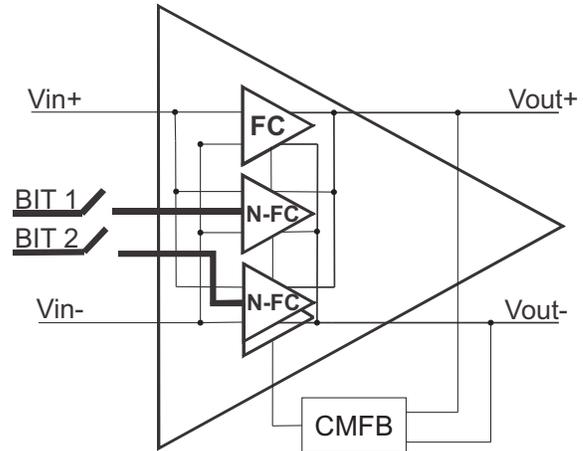


Figura 1: Arquitetura do OTA Reconfigurável.

performance dos blocos analógicos pode, por exemplo, ser reduzida quando o sistema deixa de operar em um padrão de comunicação mais robusto e passa a operar com um padrão mais sutil. Isto possibilita que os circuitos presentes no receptor, especialmente os de banda-base, atendam as especificações de cada padrão com um menor consumo de energia, de modo similar a um dispositivo projetado exclusivamente para aquela aplicação.

Em receptores de comunicação sem fio multi-modo existem dois circuitos em banda-base nos quais baixo consumo de energia e flexibilidade são altamente desejados: filtros passa-baixas [3], [4] e moduladores sigma-delta [5], [6]. A reconfiguração destes circuitos é realizada de modo estrutural e em nível de circuito [1]. Como os amplificadores operacionais de transcondutância (OTAs) são blocos fundamentais de conversores analógico-digital (ADCs) e filtros analógicos, é conveniente desenvolver um amplificador operacional reconfigurável para suprir a demanda por circuitos analógicos de banda-base para receptores multi-padrões com elevada eficiência [7].

Com base nestas considerações e na falta de artigos na literatura com foco no projeto de OTAs reconfiguráveis, este trabalho apresenta o desenvolvimento de um OTA reconfigurável em tecnologia CMOS de 180 nm com tensão de alimentação de 1,8 V. O texto é organizado da seguinte forma: A Seção II apresenta a arquitetura do OTA proposto. A implementação do circuito é detalhada na Seção III. Resultados

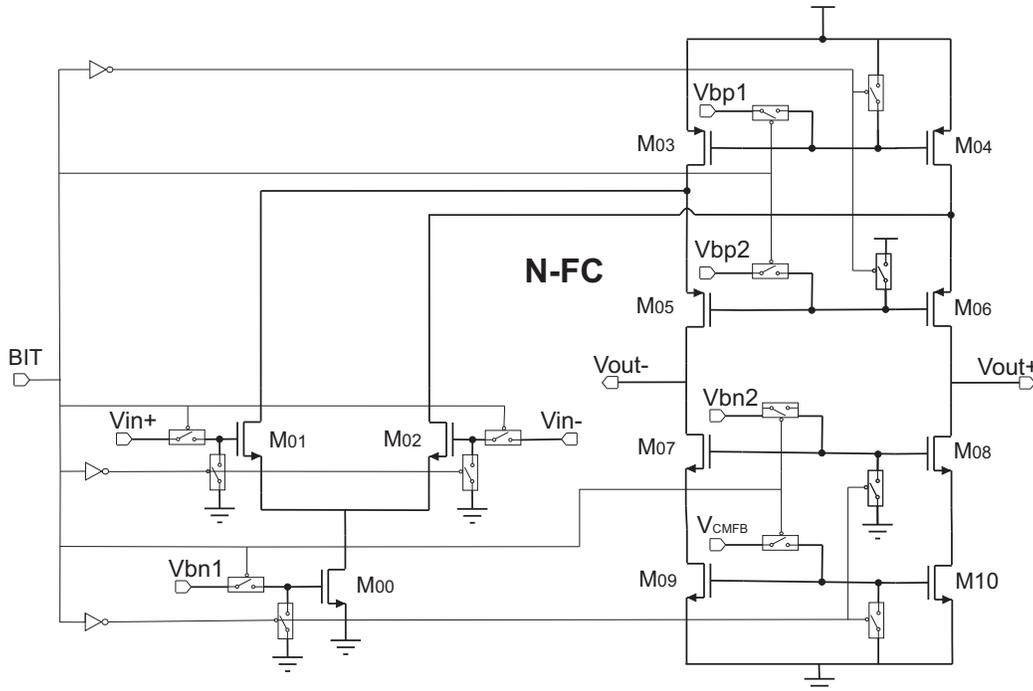


Figura 2: N-Folded Cascode com as chaves de controle.

de simulação pós-leiute do OTA projetado e a comparação com trabalhos relacionados na literatura são apresentados na Seção IV. Finalmente, as conclusões são dadas na Seção V.

II. ARQUITETURA DO OTA RECONFIGURÁVEL

A arquitetura do OTA reconfigurável utilizada neste trabalho é mostrada na Fig. 1 [1]. A topologia do circuito amplificador reconfigurável é composta por uma sequência de múltiplos amplificadores que podem ser conectados em paralelo com um amplificador principal. O amplificador principal permanece sempre ativo, enquanto os outros são ativados de acordo com um controle digital, ou seja, são ligados apenas quando é necessário aumentar o desempenho do amplificador. Todos os amplificadores controlados são idênticos. Esta estratégia de reconfiguração é baseada na relação entre o produto ganho-faixa (Gain Bandwidth-Product - GBW) e a transcondutância de um circuito amplificador, dada por (1), onde N é o número de amplificadores ativos em paralelo, g_{m0} é a transcondutância do par diferencial e C_L é a capacitância de carga.

$$GBW = \frac{Ng_{m0}}{2\pi C_L} \quad (1)$$

Desta forma, ao adicionar N amplificadores em paralelo, a transcondutância g_{m0} é multiplicada N vezes, desde que todos os amplificadores sejam iguais. Por outro lado, o ganho DC do amplificador reconfigurável é sempre mantido constante. Neste trabalho foram empregados 4 amplificadores unitários totalmente diferenciais. O primeiro é um amplificador *folded-cascode* (FC) convencional, o qual permanece sempre ligado. Os outros 3 amplificadores unitários remanescentes são controláveis, ou seja, podem ser ligados e desligados, e possuem

a mesma topologia *folded-cascode* (nomeados como N-FC). Foram utilizados dois bits de controle para fornecer quatro possíveis modos de operação associados com as seguintes palavras digitais: 00, 01, 10, 11. O primeiro bit controla o segundo amplificador unitário e o segundo bit controla o terceiro e o quarto amplificador unitário. A configuração "00" representa o modo de operação mínimo, onde apenas o primeiro amplificador está ativo. Este modo de operação fornece o menor valor de GBW e, conseqüentemente, o menor consumo de energia. Já a configuração "11" fornece o maior valor de GBW possível e ocasiona maior consumo de energia uma vez que todos os amplificadores unitários estão ativos.

III. IMPLEMENTAÇÃO DO CIRCUITO

O amplificador operacional reconfigurável foi projetado em tecnologia CMOS TSMC de 180 nm com tensão de alimentação de 1,8 V empregando apenas transistores padrão. Cada amplificador controlável pode ser ligado ou desligado através de chaves com controle digital.

A. OTAs unitários com chaves

A topologia de OTA *folded-cascode* (FC) totalmente diferencial foi empregada nas células unitárias devido à suas características, como alto ganho em baixas frequências, larga faixa de entrada de modo comum (ICMR) e auto-compensação [8].

O esquemático do circuito, incluindo as chaves, é mostrado na Fig. 2. O controle para ligar e desligar as células unitárias é realizado através da entrada digital "BIT", que pode assumir valores lógicos de "0" ou "1", correspondendo no domínio analógico a 0 V ou 1,8 V, respectivamente.

As tensões de polarização e o próprio sinal de entrada do circuito amplificador podem ser conectados ou desconectados dos transistores por meio de chaves. As chaves utilizadas são construídas com as dimensões mínimas de transistores da tecnologia na configuração porta de passagem. Quando a célula é desligada, todas as chaves são abertas e as tensões de polarização V_{bp1} , V_{bp2} , V_{bn1} , V_{bn2} e V_{CMFB} são eletricamente desconectadas do circuito. Os gates dos transistores NMOS são aterrados e os gates dos transistores PMOS são conectados a VDD [1]. Nesse estado, o consumo de energia é minimizado, uma vez que a célula unitária referida não está operando. Quando a célula é ligada, todas as tensões de polarização são reconectadas.

A Tabela I exhibe as dimensões dos transistores utilizados em cada uma das células N-FC. Já a Tabela II exhibe os valores das tensões de polarização.

Tabela I: Dimensões dos transistores do N-Folded cascode

Parâmetro	Valor
W_{00}/L_{00} ($\mu\text{m}/\mu\text{m}$)	4,2/2,0
W_{01}/L_{01} ($\mu\text{m}/\mu\text{m}$)	8,0/1,0
W_{03}/L_{03} ($\mu\text{m}/\mu\text{m}$)	32/4,0
W_{05}/L_{05} ($\mu\text{m}/\mu\text{m}$)	25,54/0,6
W_{07}/L_{07} ($\mu\text{m}/\mu\text{m}$)	2,2/5,15
W_{09}/L_{09} ($\mu\text{m}/\mu\text{m}$)	4,0/0,6

Tabela II: Tensões de polarização

Parâmetro	Valor
V_{BN1} (V)	0,8
V_{BN2} (V)	1,2
V_{BP0} (V)	1,2
V_{BP1} (V)	1,0
V_{BP2} (V)	0,6

B. Circuito de realimentação de modo comum (CMFB)

O circuito de realimentação de modo comum (*Common-mode feedback* - CMFB) é empregado para controlar a tensão de saída de modo comum em amplificadores totalmente diferenciais. O circuito de CMFB empregado neste trabalho é do tipo diferencial de diferenças [9] e sua principal característica é de não necessitar de componentes passivos para medir a tensão de modo comum de saída, evitando assim, uma possível redução do ganho DC do amplificador e possibilitando uma redução de área. O esquemático do circuito de CMFB adotado é exibido na Fig. 3.

Neste circuito, as tensões de saída do amplificador são comparadas à tensão de referência de modo comum (V_{CM}) e, então, a tensão resultante V_{CMFB} retorna para o circuito principal para ajustar a tensão de saída de modo comum [10].

As dimensões dos transistores utilizados no circuito CMFB são dispostas na Tabela III. Como foi necessário que os transistores possuíssem grandes dimensões, optou-se por dividi-los para facilitar o desenvolvimento do leiaute e, por isso, é especificado o fator de multiplicação na Tabela III.

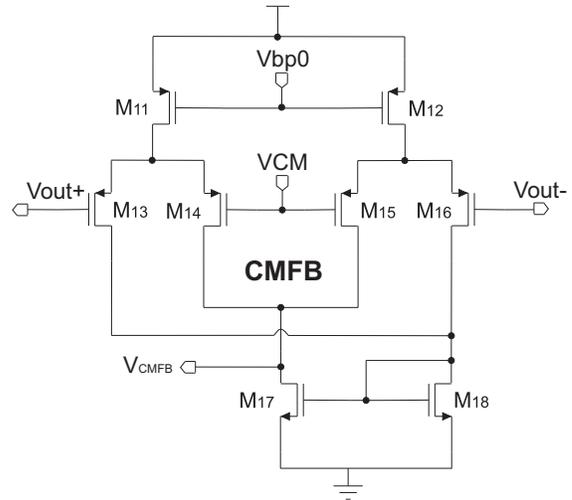


Figura 3: Circuito de realimentação de modo comum (CMFB).

Tabela III: Dimensões dos transistores do CMFB

Parâmetro	Valor	Multiplicador
W_{11}/L_{11} ($\mu\text{m}/\mu\text{m}$)	66/0,4	2
W_{13}/L_{13} ($\mu\text{m}/\mu\text{m}$)	50/0,4	2
W_{17}/L_{17} ($\mu\text{m}/\mu\text{m}$)	48/0,4	1

C. Circuito de polarização

A Figura 4 apresenta o circuito de referência *beta-multiplier* [11] utilizado para gerar todas as tensões referência para este trabalho, ou seja, V_{bn1} , V_{bn2} , V_{bp1} , V_{bp2} nos OTAs N-FC e, V_{bp0} no CMFB.

Neste circuito, o resistor drena uma corrente através do transistor $M20$, o qual é conectado como diodo, forçando a mesma corrente sobre o transistor $M19$. Como resultado, atinge-se a mesma corrente no espelho de corrente NMOS abaixo. Desde que a corrente é conhecida, pode-se facilmente encontrar as tensões de gate através da relação do parâmetro β obtido pela manipulação da equação quadrática do modelo simplificado de um transistor MOS.

Todas as tensões de referência foram implementadas com

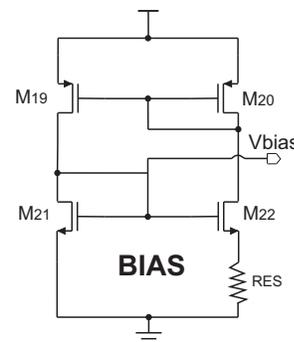


Figura 4: Circuito de polarização.

Tabela IV: Parâmetros dos circuitos de polarização

Parâmetro	V_{BN1}	V_{BN2}	V_{BP1}	V_{BP2}
W_{19}/L_{19} ($\mu\text{m}/\mu\text{m}$)	8,55/0,4	2,4/0,4	1,0/0,9	1,67/0,5
W_{21}/L_{21} ($\mu\text{m}/\mu\text{m}$)	1,1/1,0	1,0/1,0	1,0/0,49	1,03/0,4
R ($k\Omega$)	0,6	1,485	1,038	1,19

esta célula, mudando apenas as dimensões dos transistores (W e L) e o valor do resistor para atingir o valor de tensão desejado. Os valores, para cada caso, são dados pela Tabela IV. As tensões de referência V_{BP0} e V_{BN2} são iguais, assim, pode-se utilizar o mesmo circuito.

IV. RESULTADOS DA SIMULAÇÃO PÓS-LEIAUTE

O leiaute do OTA reconfigurável é apresentado na Fig. 5. Pode-se observar nesta figura as 4 células unitárias: 1 *folded-cascode* (FC) que permanece sempre ativo (sem chaves e com menor área de silício) e 3 *folded-cascode* com chaves (N-FC). O leiaute dos pares diferenciais foi desenhado empregando técnicas para reduzir o efeito de descasamento, como interdigitação e centroide comum. O circuito CMFB é comum para os 4 amplificadores unitários, uma vez que estes estão conectados em paralelo. A área total do leiaute é de 0,013 mm^2 .

Para analisar o comportamento e a performance do circuito projetado foram realizadas simulações elétricas em todos os modos de operação, considerando os elementos parasitas após a extração do leiaute.

A. Análise AC

A resposta em frequência do amplificador operacional é mostrada na Fig. 6 para os 4 modos de operação. A reconfiguração forneceu valores de produto ganho-faixa de 22,07/44,04/65,85/87,46 MHz com consumo de energia de 1,28/1,39/1,51/1,62 mW para uma carga de 1 pF conectada em cada nó de saída. Individualmente, cada célula *folded-cascode* consome 109,15 μW , enquanto 1,017 mW e 149,19 μW são os consumos dos circuitos de CMFB e polarização,

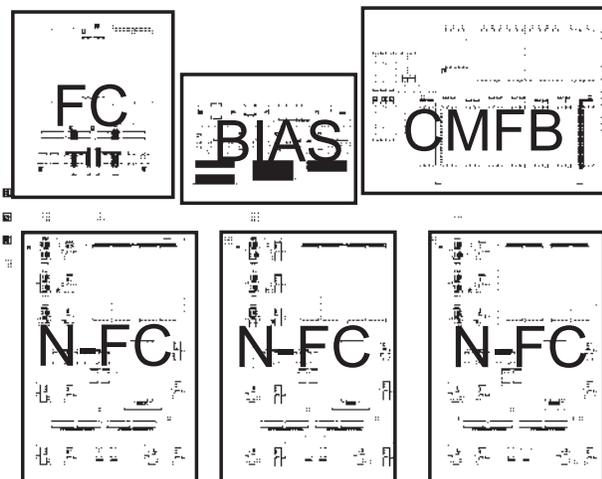
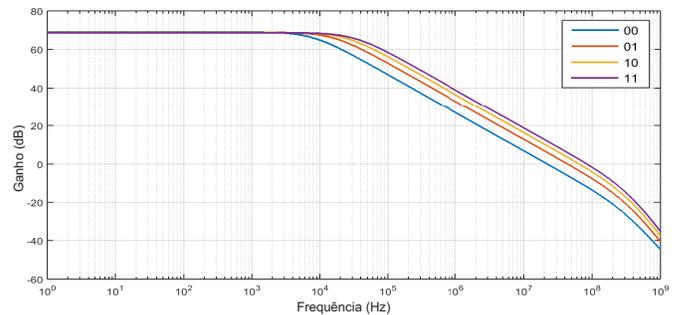
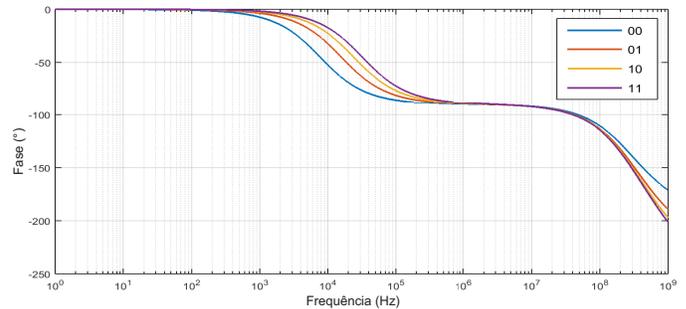


Figura 5: Leiaute do OTA reconfigurável (Área total: 138,01 x 99,77 μm).



(a) Ganho de Tensão.



(b) Margem de Fase.

Figura 6: Resposta em frequência do OTA reconfigurável para diferentes configurações.

respectivamente. O ganho em baixas frequências (A_{v0}) é de aproximadamente 69 dB, variando menos de 2 dB para todos os modos de operação.

Nota-se que a margem de fase (PM) decai conforme acrescentam-se mais circuitos amplificadores em paralelo para aumentar o valor de GBW. Para garantir a estabilidade do circuito foi necessário aumentar a margem de fase (PM) do OTA unitário. Em contrapartida, isto aumentou o consumo de energia da célula básica e, por consequência, aumentou o consumo de energia total do OTA reconfigurável. Além disso, as células "N-FC" resultam em um aumento da capacitância de carga de saída, reduzindo o GBW, conforme indicado na relação da Equação 1. Deve-se destacar também que as chaves implementadas para realizar a reconfiguração impactam de maneira similar ao explicitado anteriormente, além de aumentarem a complexidade de projeto do circuito e a área

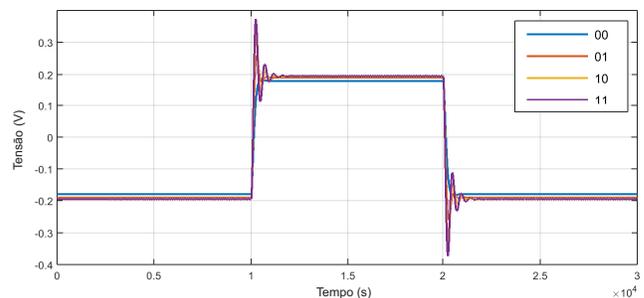


Figura 7: Resposta transiente para um degrau unitário de 0,2 V com carga de 1 pF.

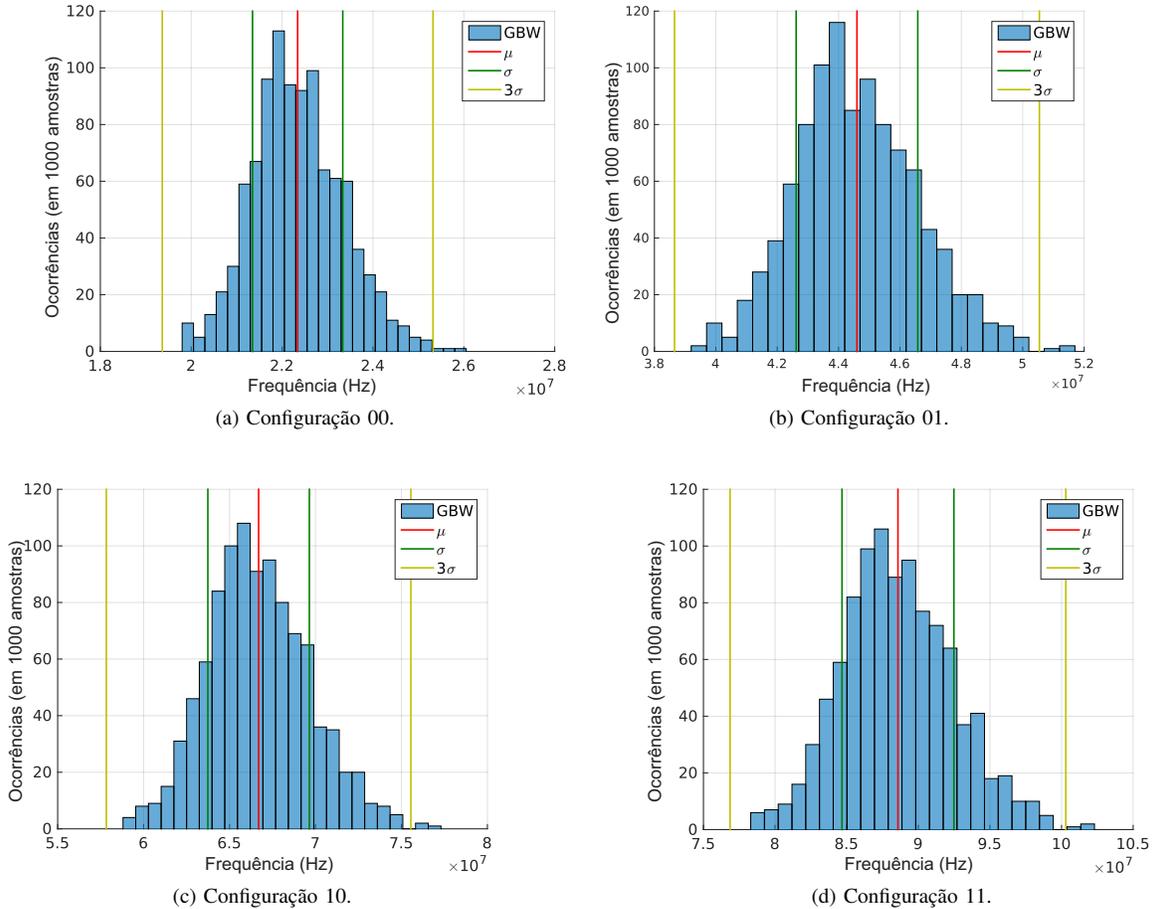


Figura 8: Simulação de Monte Carlo para GBW em diferentes configurações de entrada.

de silício ocupada.

B. Análise Transiente

A excursão de saída (*Output Swing - OS*) simulada foi de 1,5 V para todos os modos de operação, sendo este, um parâmetro importante para o projeto de filtros analógicos. Entretanto, o valor de *slew-rate* (SR) é afetado em cada modo de operação, pois o mesmo está relacionado ao valor de GBW. Para avaliar este comportamento transiente do circuito foi analisada a resposta a um degrau unitário de 0,2 V, apresentada na Fig. 7. Salienta-se que o menor valor de SR é de 15,78 V/μs para a configuração "00", enquanto que o maior valor é de 37,22 V/μs para a configuração "11". Nesta figura pode-se perceber que ocorre um aumento no *overshoot* do sinal de saída à medida que mais amplificadores são associados em paralelo. Este efeito está relacionado à redução na margem de fase, conforme detalhado anteriormente.

A performance do OTA reconfigurável projetado, obtida com simulações pós-leiaute, é resumizada na Tabela V para os 4 modos de operação do circuito.

C. Simulações de Monte Carlo

Para avaliar a robustez do circuito projetado e a variação estatística da performance sob variações de processo foram

Tabela V: Resultados da Simulação Pós-leiaute

Bits de Controle	00	01	10	11
OTAs	1	2	3	4
Av0 (dB)	69,18	69,96	68,85	68,75
PM (°)	85,28	79,51	74,14	69,28
GBW (MHz)	22,07	44,04	65,85	87,46
f _{-3dB} (kHz)	7,82	15,34	22,82	30,07
PWR (mW)	1,28	1,39	1,51	1,62
OS (V)	1,50	1,53	1,54	1,54
SR (V/μs)	15,78	26,16	32,79	37,22

efetuadas simulações de Monte Carlo. A Fig. 8 e a Tabela VI apresentam os resultados obtidos para as simulações de Monte Carlo realizadas com 1000 rodadas. Pode-se observar que as médias (μ) do ganho DC, da margem de fase e do GBW são muito similares aos valores nominais para todos os modos de operação. Além disso, através dos valores obtidos de desvio padrão (σ), pode-se afirmar que o circuito é estável em relação às variações presentes no processo de fabricação.

D. Comparação de Performance

A Tabela VII apresenta a comparação de performance deste trabalho com os resultados obtidos por um trabalho

Tabela VI: Resultados da Simulação de Monte Carlo

Control bits	Av (dB)		PM (°)		GBW (MHz)	
	μ	σ	μ	σ	μ	σ
00	68,69	3,52	85,3	0,13	22,34	0,99
01	68,44	3,37	79,55	0,33	44,59	1,98
10	68,29	3,28	74,19	0,48	66,69	2,95
11	68,2	3,23	69,29	0,65	88,58	3,9

Tabela VII: Comparação de Performance

Parâmetros	Este trabalho	[7]
Processo	180 nm @ 1,8 V	130 nm @ 1,2 V
GBW(MHz)	22,07/44,04/65,85/87,46	66/131/578/1080/2044
Av0 (dB)	69,18/69,96/68,85/68,75	52,90/53,7/53,8/48/47
PM (°)	85,28/79,51/74,14/69,28	46/46/49/52/50
PWR (mW)	1,28/1,39/1,51/1,62	0,32/0,50/ 0,95/1,90/2,30
Carga (pF)	1	4/2/1/1/0,5

relacionado [7]. O circuito apresentado em [7] foi projetado em tecnologia CMOS de 130 nm com alimentação de 1,2 V e possibilita 5 diferentes valores de GBW em uma larga faixa de frequência (de 60 MHz a 2 GHz). Pode-se notar que, apesar da pequena faixa de frequência e um maior consumo de energia, nosso trabalho apresenta maior ganho e maior estabilidade, verificada através das simulações de Monte Carlo e, ainda, maior margem de fase para todos os modos de operação.

V. CONCLUSÃO

Este artigo apresentou o projeto completo de um OTA reconfigurável em tecnologia CMOS TSMC de 180 nm. A configuração digital forneceu 4 modos de operação, com valores de GBW variando de 22,07 a 87,46 MHz. O consumo de energia variou entre 1,28 a 1,62 mW, o que representa um bom indício do alcance do principal objetivo deste trabalho: escalar o consumo de energia do circuito de acordo com a especificação de GBW exigida. Os valores de ganho em baixa frequência e excursão de saída se mantiveram estáveis em todos os modos de operação. Portanto, a reconfigurabilidade do amplificador apresentado pode contribuir para a eficiência

de consumo de energia em circuitos analógicos de banda base em receptores multi-padrões, onde flexibilidade é altamente desejada.

AGRADECIMENTOS

Os autores gostariam de agradecer à FAPERGS pelo apoio financeiro para este trabalho dado através do processo de número 0460-2551/15-6 e ao programa Mini@asic da Europractice e IMEC por fornecer as informações da tecnologia.

REFERÊNCIAS

- [1] V. Giannini, J. Craninckx, S. D'Amico, and A. Baschiroto, "Flexible baseband analog circuits for software-defined radio front-ends," *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 7, pp. 1501–1512, July 2007.
- [2] X. Zhang, Y. Xu, B. Liu, Q. Yu, S. Han, Q. Liu, Z. Zhang, Y. Gao, Z. Wang, and B. Chi, "A 0.1-5ghz flexible sdr receiver in 65nm cmos," in *Solid-State Circuits Conference (A-SSCC), 2014 IEEE Asian*, Nov 2014, pp. 249–252.
- [3] K. Bao, X. Fan, and Z. Wang, "A 0.18-um-cmos low-power reconfigurable low pass filter for multi-standard receivers," in *Advanced Technologies for Communications (ATC), 2013 International Conference on*, Oct 2013, pp. 370–373.
- [4] T. El-Zomor, E. A. Soliman, and S. Mahmoud, "Reconfigurable baseband chain for software-defined radio receivers," in *Microelectronics (ICM), 2009 International Conference on*, Dec 2009, pp. 276–279.
- [5] P. Crombez, G. Van der Plas, M. Steyaert, and J. Craninckx, "A single-bit 500 khz-10 mhz multimode power-performance scalable 83-to-67 db dr ct sigma-delta for sdr in 90 nm digital cmos," *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 6, pp. 1159–1171, June 2010.
- [6] J. Li, R. Zhu, T. Yi, B. Liu, and Z. Hong, "An energy-efficient 5-mhz to 20-mhz, 12-bit reconfigurable continuous-time sigma-delta modulator for 4g-lte application," in *Low Power Electronics and Design (ISLPED), 2013 IEEE International Symposium on*, Sept 2013, pp. 163–168.
- [7] A. Atac, C. Harder, R. Wunderlich, and S. Heinen, "A low power variable gbw opamp from 60mhz to 2ghz for multi-standard receivers," in *Electronics, Circuits and Systems (ICECS), 2012 19th IEEE International Conference on*, Dec 2012, pp. 1–4.
- [8] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 1st ed. New York, NY, USA: McGraw-Hill, Inc., 2001.
- [9] R. Dehghani, *Design of CMOS operational amplifiers*. London: Artech House, 2013.
- [10] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5th ed. New Jersey, NY, USA: John Wiley and Sons, Inc., 2009.
- [11] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 3rd ed. New York, NY, USA: John Wiley and Sons, Inc., 2010.