

Avaliação da variabilidade PVT em Somadores Completos de 1 bit

Vinicius Zanandrea, Stéphanie Ames, Ingrid Oliveira, Cristina Meinhardt

Abstract—Os circuitos somadores fazem parte do caminho crítico dos sistemas eletrônicos. Estes circuitos possuem um papel fundamental no funcionamento de qualquer sistema operacional, desde um simples controlador até o mais complexo microprocessador. Existem diversas formas de implementar somadores completos, variando a disposição dos transistores ou simplificando funções lógicas. Cada uma das abordagens tem vantagens e desvantagens bem exploradas em trabalhos relacionados em relação à área, atraso e potência. Entretanto, nos dias atuais é de extrema importância levar em consideração os efeitos relacionados a redução das dimensões dos nodos tecnológicos, como a variabilidade PVT, efeitos de envelhecimento e aumento da sensibilidade a falhas. Este trabalho avalia cinco arquiteturas de somadores completos de 1 bit na tecnologia CMOS de 32nm. O principal objetivo é identificar o comportamento das arquiteturas CMOS, CPL, Híbrida, TFA e TGA em tecnologias nanométricas considerando o efeito de variações de processo, tensão e temperatura. Os resultados demonstram que a variabilidade de processo é a responsável pelos maiores desvios de atrasos e potência comparados aos valores nominais esperados.

Index Terms— nanotecnologia, somadores, variabilidade

I. INTRODUÇÃO

DEVIDO à miniaturização dos dispositivos, os produtos eletrônicos atuais apresentam um ótimo desempenho e um aumento no número de funcionalidades. Entretanto, estes dispositivos são mais sensíveis à variabilidade devido à fatores ambientais, fatores de confiabilidade e fatores físicos [1]. A variabilidade ambiental e física está principalmente relacionada aos efeitos provocados no desempenho dos circuitos pelas oscilações na temperatura e na tensão de funcionamento dos circuitos (fatores ambientais) ou aos efeitos provocados por pequenas variações ocorridas durante o processo de fabricação, principalmente na etapa de litografia.

Este trabalho foi apoiado em parte pelos programas de Iniciação Científica da Universidade Federal do Rio Grande - FURG (EPEC), da Fundação de Apoio à pesquisa do Rio Grande do Sul - FAPERGS e do Conselho Nacional de Pesquisas - CNPq.

Vinicius Zanandrea e Stéphanie Ames atualmente fazem parte do programa de pós-graduação em engenharia de produção, PPGEP da Universidade Federal de Santa Maria - UFSM. (e-mails: viniciuszann@hotmail.com e smc_stephanie@hotmail.com)

Ingrid Oliveira é aluna de graduação no curso de engenharia de computação da Universidade Federal do Rio Grande. (e-mail: ingridespsav@hotmail.com).

Cristina Meinhardt é professor assistente na Universidade Federal do Rio Grande do Sul. Ela faz parte do Centro de Ciências Computacionais – C3 e do Programa de pós-graduação em Engenharia de Computação – PPGComp, da FURG. (e-mail: cristinameinhardt@furg.br).

Este trio de fontes de variabilidade é chamado de PVT (processo, tensão e temperatura).

Circuitos somadores são o foco de diversas pesquisas, pois fazem parte do caminho crítico dos sistemas eletrônicos. Este tipo de circuito tem um papel fundamental no funcionamento de qualquer sistema computacional, dos mais simples controladores aos mais complexos microprocessadores. Existem diferentes tipos de arranjos de transistores que implementam circuitos somadores de 1 bit. Cada uma das abordagens tem vantagens e desvantagens bem exploradas em trabalhos relacionados em relação à área, atraso e consumo de potência. Entretanto, hoje em dia, torna-se essencial considerar também efeitos decorrente da miniaturização dos dispositivos, tais como a variabilidade PVT, envelhecimento e aumento da sensibilidade a falhas [2].

Neste contexto, o principal objetivo deste trabalho é avaliar as características de atraso e potência para cinco diferentes arquiteturas de somadores completos de 1 bit considerando os aspectos de variabilidade ocasionada por variações PVT em tecnologia de 32nm. Este trabalho considerou as arquiteturas de somadores de 1 bit CMOS (clássica), CPL, Híbrida, TFA e TGA. Existem diferentes trabalhos que avaliam circuitos somadores, dentre eles destacam-se os trabalhos de Chang et al [3], onde foram comparados dados de atraso e potência para a tecnologia de 65nm, e de [4], que considerou os somadores CMOS, CPL e Híbrido e explorou o baixo consumo de potência no projeto dessas arquiteturas projetadas em tecnologia CMOS de 45nm. Diferentemente de [4], este trabalho avalia mais arquiteturas e ainda avalia os efeitos da variabilidade PVT.

II. ARQUITETURA DE SOMADORES DE 1 BIT

Este trabalho considerou as arquiteturas de somadores de 1 bit CMOS (clássica), CPL, Híbrida, TFA e TGA. Os circuitos destas cinco arquiteturas são apresentados na Fig. 1. Estas arquiteturas apresentam diferentes circuitos, ou seja, diferentes arranjos de transistores, visando otimizar determinadas características, observados na Fig.1. A seguir, os principais aspectos de cada uma das cinco arquiteturas são apresentados.

A. Arquitetura CMOS

A arquitetura de somador CMOS é considerada a arquitetura de somador padrão mais tradicional. A sua principal característica é possuir os seus 28 transistores dispostos em redes *pull-up* e *pull-down* logicamente complementares. A principal vantagem dessa arquitetura é que

ela fornece uma boa capacidade de condução, além de sua robustez, o que é muito bom quando se trabalha com tecnologias muito pequenas e tensões muito baixas. Porém, a principal desvantagem é sua capacitância de entrada alta, além de a rede *pull-down* deixar o circuito mais lento [5].

B. Arquitetura CPL

O somador *Complementary Pass Transistor Logic* (CPL) utiliza a lógica de transistores de passagem. Com restauração de sinal, utiliza 32 transistores]. O somador CPL é formado pela função que gera a saída e seu complemento. As principais vantagens dessa arquitetura são seu alto desempenho, sinais fortes na saída e uma boa capacidade de condução, já que utiliza inversores estáticos na saída. A principal diferença entre essa arquitetura e a CMOS, é que o lado fonte dos seus transistores são ligados em alguns sinais de entrada ao invés de serem ligados diretamente a Vdd e Gnd, como na arquitetura CMOS.

C. Arquitetura Híbrida

O somador Híbrido explora a união de diferentes famílias lógicas para otimizar o seu desempenho e consumo de potência. Ele utiliza 26 transistores. Observando o circuito, pode-se ver características do somador CMOS e de transistores de passagem. A principal vantagem desta arquitetura é apresentar um sinal forte na saída e trabalhar bem em baixas voltagens. Entretanto, esta arquitetura apresenta

uma alta capacitância de entrada para alguns dos vetores de entrada.

D. Arquitetura TGA

A arquitetura de somador *Transmission Gate Full Adder* (TGA) é baseada na teoria dos *transmission gates*, que são um tipo particular de transistor de passagem e consiste basicamente de um transistor PMOS e um NMOS conectados em paralelo. Utiliza 20 transistores para compor a estrutura e tem como vantagem não apresentar muitos problemas com relação a baixas tensões. Porém, como desvantagem, apresenta uma falta de capacidade de condução, o que faz perder muito desempenho quando é cascateado.

E. Arquitetura TFA

O somador *Transistor Function Full Adder* (TFA) é baseado na teoria da função de transmissão, utilizando 16 transistores. Para fazer os inversores, a arquitetura utiliza caminhos *pull-up* e *pull-down*, e para o restante da lógica do somador são utilizados *transmission gates*, possuindo assim eficientes implementações para as XORs e XNORs. Porém, como também ocorre com o somador TGA, o TFA apresenta uma grande falta de capacidade de condução e uma grande degradação no desempenho quando é cascateado, sendo necessário, quase que na maioria das vezes, *buffers* adicionais na saída desse tipo de somador.

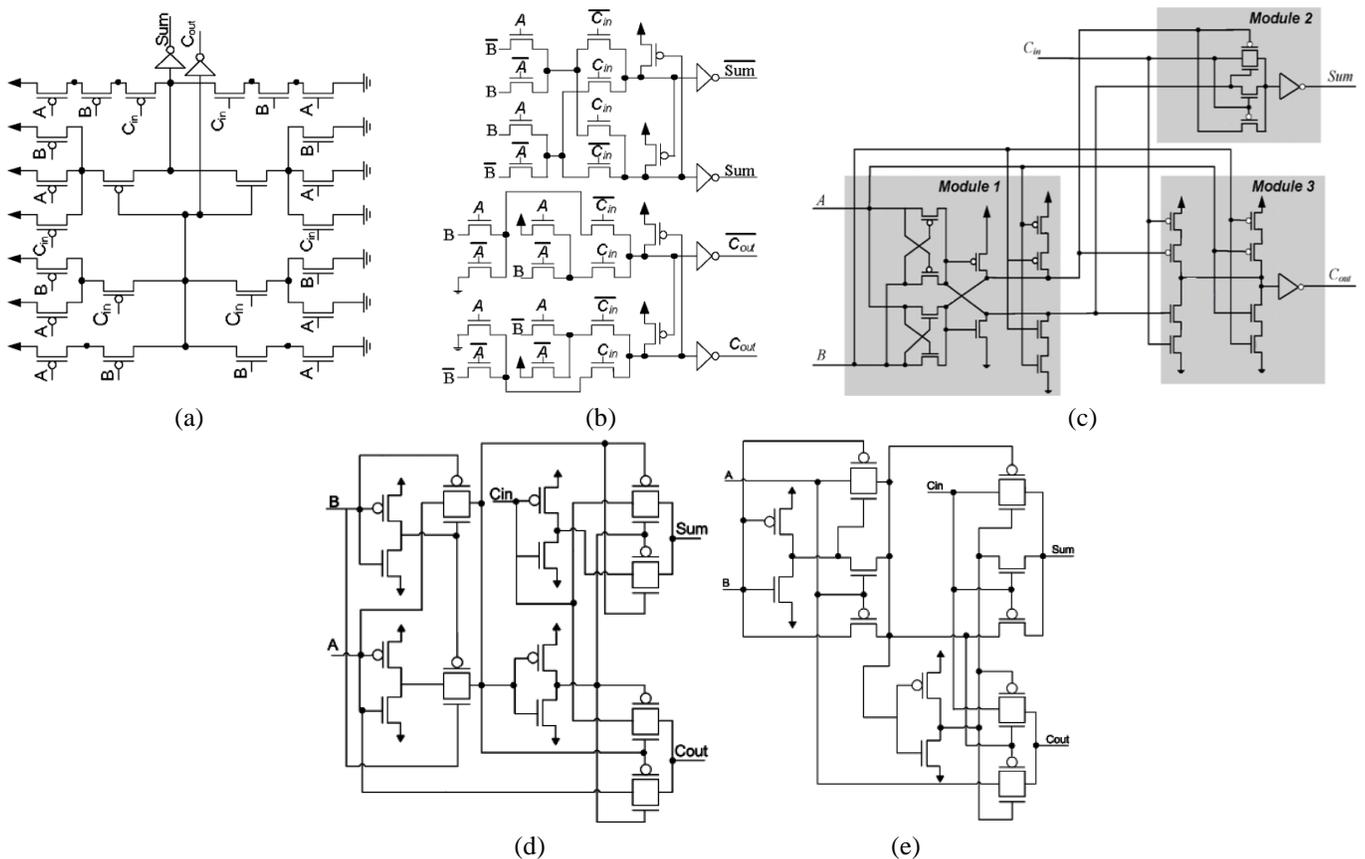


Fig. 1. Cinco arquiteturas de somadores de 1bit: CMOS (a), CPL(b), Híbrida (c), TGA (d) e TFA (e)

F. Comparação entre as arquiteturas

A Tabela I resume as principais características das cinco arquiteturas e permite a comparação entre as arquiteturas avaliadas neste trabalho, quanto ao número de transistores e as principais vantagens e desvantagens de cada arquitetura.

TABELA I
COMPARAÇÃO DAS CINCO ARQUITETURAS DE SOMADORES

Somador	Número de transistores	Principais características
CMOS	28	Boa capacidade de condução Rede <i>pull-up</i> deixa o circuito mais lento
CPL	32	Transistores de passagem Boa capacidade de condução
Híbrido	26	Trabalha bem em baixas tensões Alta capacitância para alguns dos vetores de entrada
TGA	20	Falta de capacidade de condução Perde muito desempenho quando é cascateado
TFA	16	Eficientes implementações para XORs e XNORs Degradação no desempenho quando é cascateado

III. METODOLOGIA

Este trabalho tem como objetivo avaliar as cinco arquiteturas de somadores apresentadas anteriormente quanto às suas características de potência e atraso na presença de variabilidade PVT (*process, voltage e temperature*).

Avalia-se os somadores a nível elétrico e, para isso, o simulador elétrico NGSPICE [6] foi escolhido para a realização de todas as simulações. Ele foi escolhido por ser um software livre, e por possuir as funcionalidades que foram utilizadas neste trabalho. Apesar de possuir algumas limitações em relação aos simuladores comerciais, para o objetivo deste trabalho as funcionalidades do NGSPICE foram suficientes, aliadas a algumas manipulações que foram realizadas através de programação na linguagem C.

A metodologia para a realização deste trabalho iniciou com a definição das características de projeto a serem aplicadas a todos os somadores, com o projeto individual de cada circuito somador considerando o dimensionamento mínimo dos transistores e da validação e avaliação inicial de cada somador sem considerar os efeitos de variabilidade. Estes dados servirão de comparação para os resultados encontrados ao considerar os circuitos sobre efeitos de variabilidade PVT.

Os passos seguintes foram a modelagem dos efeitos da variabilidade PVT nas simulações e análise dos resultados, considerando ainda os circuitos com dimensionamento mínimo.

Adicionalmente, este trabalho avalia os efeitos da variabilidade PVT agora nos circuitos somadores dimensionados para melhor desempenho, ou seja, minimizando os atrasos do circuito, de acordo com o dimensionamento por esforço lógico [2].

A. Características do projeto

Antes de serem realizadas as simulações, também foram definidas as características que seriam utilizadas para simular as arquiteturas escolhidas, quais características dos transistores

e do circuito no qual estaria incluída a célula somadora. Nessa seção será explicado o que são as características de projeto e quais as definições foram usadas neste trabalho.

1) Tecnologia

A definição da tecnologia é um passo muito importante no projeto de simulação. Quando se fala em tecnologia, se refere ao tamanho da tecnologia, mais especificamente ao tamanho dos transistores desta tecnologia, também conhecido como o comprimento do canal (L). Quanto menor a tecnologia, mais transistores podem ser colocados em uma mesma área, porém os cuidados com os fatores externos indesejados dos circuitos devem aumentar.

A tecnologia preditiva escolhida para realização deste trabalho foi a *high-performance* (HP) de 32nm disponibilizada pela PTM [7].

2) Dimensionamento

Além de definir a tecnologia, que está relacionada com o comprimento do canal (L), existe outro fator a ser definido se tratando sobre dimensionamento de transistores utilizados nas simulações. O termo dimensionamento de transistores (*transistor sizing*) faz referência à definição da largura do canal (W) do transistor. Ao contrário do comprimento de canal que, em geral adota-se o menor possível pela tecnologia para todos os transistores de um projeto, o W pode ser diferente, influenciando diretamente o aumento de corrente, ao custo do aumento de área.

Para definir os tamanhos são utilizados alguns métodos, conhecidos como técnicas de dimensionamento de transistores, como por exemplo, a proporção de tamanho de W entre transistores PMOS e NMOS ou ainda baseada no número de transistores ligados em série ou paralelo.

Para este trabalho foram utilizadas duas técnicas diferentes. A primeira técnica consiste em utilizar o W mínimo para todos os transistores. Como valor W mínimo foi considerado um valor aproximado ao dobro do tamanho de L na tecnologia. Neste trabalho utiliza-se o tamanho de L de 32nm, e então para o W chega-se ao valor aproximado de 70nm. Porém, como os transistores PMOS são aproximadamente duas vezes mais lentos que os transistores NMOS, devido à mobilidade das lacunas ser inferior a mobilidade dos elétrons, utiliza-se o método de dobrar o W do PMOS para obter-se um desempenho semelhante. Neste trabalho foi utilizado o W_p de 140nm e o W_n de 70nm.

Outra técnica de dimensionamento de transistores utilizada neste trabalho foi o *Logical Effort*, também conhecido em português como esforço lógico, para definir os tamanhos de W [8]. Basicamente, esse método define que o tamanho de W deve ser o tamanho mínimo, multiplicado pelo número de transistores em série, além de que o W mínimo do PMOS deve ser o dobro do W mínimo do NMOS, como visto anteriormente. Na Fig.2 um exemplo do método esforço lógico para uma NAND e NOR.

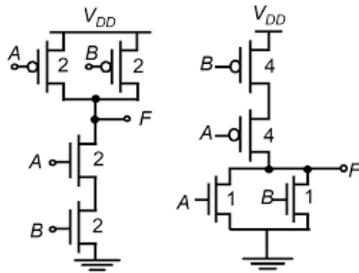


Fig. 2. Exemplo de esforço lógico em uma porta NAND e NOR

3) Circuito de avaliação

Para que as simulações se aproximem da realidade, não basta apenas fazer as verificações na entrada e na saída de um somador de um bit, sem conectar nada a ele. Isto porque quando o sistema que usa o somador for projetado, existirão outros circuitos antes e depois dele, então, as resistências e capacitâncias destes circuitos devem ser simuladas.

Com o objetivo de tornar os resultados mais precisos, são utilizados inversores nas entradas e nas saídas dos somadores. Esses inversores são formados por uma cadeia de número par de inversores para não alterarem o valor lógico que se está transmitindo.

Para este trabalho, definiu-se que os valores de dimensionamento utilizados nestes inversores seriam quatro vezes maiores do que os tamanhos mínimos, sendo 280nm para o Wn e 560nm para o Wp, para que os inversores de entrada tenham capacidade de corrente suficiente para lidar com a capacitância de entrada dos somadores, principalmente com a capacitância de entrada do somador Híbrido, e para que a carga de saída para todos os somadores fosse equivalente a regra do fan-out 4, normalmente adotada em projeto de células combinacionais. NaFig.3, é mostrado o circuito somador com o conjunto de inversores na entrada e na saída.

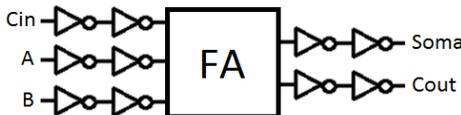


Fig. 3. Circuito somador com o conjunto de inversores utilizados

B. Dados a serem avaliados

Após definidas as características de projeto, decidiu-se quais resultados deveriam ser obtidos e analisados. Através da pesquisa bibliográfica chegou-se à conclusão de que a maioria dos trabalhos relacionados avalia potência, atrasos e *power-delay-product* (PDP), definindo-se que estes três fatores seriam então avaliados. Ao longo desta seção serão apresentados como cada um desses resultados foi determinado neste trabalho.

1) Medição dos atrasos

A caracterização temporal fornece os dados referentes ao desempenho das portas lógicas e pode ser medida através dos seus atrasos. Os atrasos de um circuito podem ser de dois tipos: tempos de propagação e tempos de transição. Este trabalho considera somente os tempos de propagação, pois eles também foram utilizados para cálculos de PDP.

O tempo de propagação indica quanto tempo a saída demora

para mudar de estado (de 0 para 1 ou de 1 para 0) quando ocorre uma transição na entrada. São medidos a partir de 50% de uma transição de uma onda de entrada até 50% da transição correspondente da onda de saída, podendo ser de dois tipos: *high-to-low* quando a saída muda o estado lógico de 1 para 0, ou *low-to-high* quando a saída muda de estado lógico de 0 para 1. Neste trabalho a nomenclatura utilizada foi t_{phl} para os tempos de propagação *high-to-low* e t_{plh} para os tempos de propagação *low-to-high*. NaFig.4 é possível observar como foram medidos os tempos de propagação.

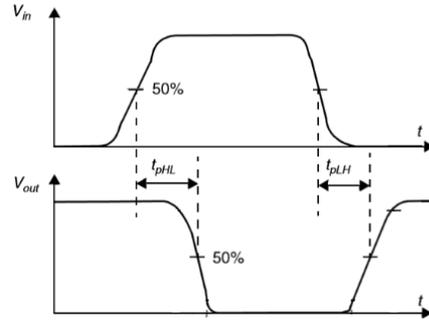


Fig. 4. Atrasos de propagação

Os tempos de propagação foram medidos somente no circuito somador, sem considerar os inversores de entrada e saída. Os atrasos foram medidos a partir dos arcos de atrasos da função. Um arco de atraso representa uma transição em uma entrada que provoca uma transição no estado lógico da saída, enquanto as demais entradas permanecem constantes. Uma das formas utilizadas para obter os arcos de atrasos da função é percorrendo a tabela verdade em busca de transições na saída. Para este trabalho foram considerados 36 arcos de atrasos, sendo 24 para a saída Soma e 12 para a saída Cout.

Os valores de atraso são extremamente importantes, pois através destes valores, pode-se avaliar o desempenho do circuito, quanto maior o atraso, pior o desempenho e mais lento será o sistema.

2) Medição da potência

O simulador elétrico adotado não disponibiliza funções para medição de potência. Então, para medir a potência média em um espaço de tempo, em um determinado circuito, adotou-se a estratégia de medir a corrente e calcular a potência média. Através de (1) é possível obter primeiramente a energia, ou seja, a integral da corrente consumida de uma determinada fonte em um intervalo de tempo.

$$Energia = \int_0^{\Delta t} i(Vdd)dt \tag{1}$$

Onde i corresponde à corrente, Δt é a variação de tempo e Vdd é a tensão. Os valores correspondentes à energia foram calculados utilizando o simulador elétrico adotado.

Após ser calculada a energia, foi possível calcular a potência (2), que determina que a potência média é a relação entre a energia consumida no intervalo de tempo, multiplicada pela tensão de alimentação.

$$P(Vdd) = \frac{Energia}{\Delta t} * Vdd \tag{2}$$

Alguns parâmetros foram fixos para todo o projeto, enquanto outros foram variados ao longo do trabalho. Para o

tempo de simulação para saída *Cout* e para o tempo de simulação para saída Soma foram utilizados os parâmetros fixos 18ns e 36ns respectivamente, obtidos através do tempo necessário para simular todos os arcos de atrasos da função. Para a tensão *Vdd* inicialmente foi utilizado 1V, e para alguns experimentos foi utilizada a variabilidade de tensão.

3) Cálculo do PDP

Potência e atraso são grandes focos de otimização dos circuitos integrados. Para poder comparar esses dois fatores, foi criado o fator PDP que consiste no produto entre o atraso e a potência. Com esse valor é possível comparar e avaliar qual somador é mais eficiente levando em conta tanto o atraso, quanto a potência. A fórmula utilizada para o cálculo de PDP é mostrada em (3):

$$PDP = \text{Potência Média} * \text{Atraso Médio} \quad (3)$$

C. Experimentos realizados

Após as definições iniciais, foram realizadas as simulações elétricas dos cinco circuitos somadores para a realização da validação lógica e da caracterização elétrica. As variabilidades PVT foram simuladas tanto considerando o dimensionamento mínimo quanto utilizando esforço lógico. Na Fig.5 é apresentado o fluxograma da realização dos experimentos. Os procedimentos de Descrição e validação dos circuitos, Dimensionamento Mínimo, Dimensionamento por Esforço Lógico e Caracterização elétrica já foram detalhados anteriormente. Nas próximas subseções será detalhado como foi feita a inserção de variabilidade PVT.

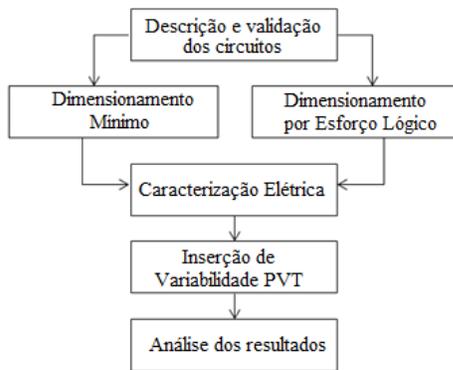


Fig. 5. Fluxograma da realização dos experimentos

1) Variabilidade de processo

Após serem realizados todos os experimentos com os parâmetros fixos, foram realizados os experimentos considerando variabilidades PVT. Decidiu-se então que o melhor parâmetro a variar para simular a variabilidade de processo em tecnologias CMOS de 32nm seria a tensão de limiar (*Vth*). Para inserir a variabilidade de processo no modelo PTM, é adotado o parâmetro de tensão de limiar zero (*Vth0*), cujo valor o modelo *Berkeley Short-channel IGFET Model (BSIM) Level 54* adota na definição final da tensão de limiar dos transistores. Esta técnica é bastante utilizada na literatura [9,10,11]. Para simular a incerteza foi utilizado o método de Monte Carlo. A distribuição de probabilidade utilizada na literatura e escolhida para esse trabalho foi a

Gaussiana.

O próprio simulador NGSPICE possui uma função que calcula a Gaussiana, apresentada pela Equação 4:

$$vth = gauss(nom, rva, sigma) \quad (4)$$

Onde *nom* é o valor nominal ou média de uma amostra, *rva* é a porcentagem de erro e *sigma* é o número de desvio padrão.

Neste trabalho foi utilizado a função gaussiana tanto para o *Vth* do NMOS quanto para o do PMOS. Como mostrado nas Equações 5 e 6, os parâmetros passados foram o *vth0* disponibilizado pela tecnologia como valor nominal, 10% de porcentagem de erro e 3σ de desvio padrão. Estes valores de erro e de desvio padrão foram utilizados pois abrangem 99,7% dos valores possíveis.

$$vthn = gauss(0.49396, 0.1, 3) \quad (5)$$

$$vthp = gauss(-0.49155, 0.1, 3) \quad (6)$$

A técnica de Monte Carlo necessita de uma geração considerável de pontos para aproximar a resposta da solução final. Neste trabalho, foram realizadas duas mil simulações, por ser considerado atualmente um número aceitável de simulações para atingir um bom resultado [11].

Entretanto, a simulação Monte Carlo no NGSPICE funciona para dispositivos, mas para circuitos apresenta limitação no número de simulações realizadas. Para superar esse problema, desenvolveu-se um script em C que chama uma simulação por vez do NGSPICE, gera um valor aleatório e coleta os resultados de *vth0* obtidos. A saída de cada simulação é salva individualmente e depois os resultados são unificados, sendo possível assim realizar as duas mil simulações desejadas.

2) Variação de temperatura

A avaliação de temperatura neste trabalho considera o intervalo de -25°C até 125°C , que são os valores mais utilizados no projeto de células para bibliotecas voltadas ao fluxo standard cell. Dentro deste intervalo de temperatura, são considerados cinco pontos: -25°C , 0°C , 25°C , 75°C e 125°C .

3) Variação da tensão de alimentação

No projeto de uma biblioteca de células voltado para o fluxo standard cell, o impacto de variações na tensão é frequentemente medido através da sensibilidade do consumo de potência e desempenho em torno de 10% do valor nominal da fonte de alimentação (*Vdd*). Desta maneira, para realizar os experimentos foram utilizados valores de 0,91V até 1,09V, ao passo de 0,03V.

4) Resultados de variabilidade

Os valores máximo, mínimo, média (μ), desvio padrão (σ) e coeficiente de variação (σ/μ) são observados em todos os experimentos. Os valores máximos no caso dos tempos de propagação, por exemplo, são importantes pois assim pode-se observar como o circuito se comporta no pior caso. O coeficiente de variação é apresentado porque através dele é possível comparar a variabilidade dos parâmetros de diferentes maneiras. Correlação entre transistores, ou seja, possível mudança nos parâmetros PMOS quando colocadas na proximidade de um NMOS não foi tomada em conta. Os experimentos avaliam a potência total, o tempo de propagação medido para todos os arcos de atraso e também apresenta o *power-delay-product* (PDP).

IV. RESULTADOS

Os resultados foram analisados considerando os valores: máximo, mínimo, média, desvio padrão coeficiente de variação. Para efeito de organização dos resultados encontrados, eles serão divididos em quatro experimentos:

- a) caracterização elétrica com dimensionamento mínimo sem considerar PVT;
- b) caracterização elétrica com dimensionamento mínimo considerando PVT;
- c) caracterização elétrica com dimensionamento esforço lógico sem considerar PVT;
- d) caracterização elétrica com dimensionamento esforço lógico considerando PVT.

A. Caracterização elétrica dos somadores com dimensionamento mínimo sem considerar PVT

Na Tabela II é possível observar que para a saída Cout, o CPL tem o maior tempo de propagação médio, seguido dos somadores CMOS e Híbrido. Os somadores TFA e TGA atingiram os menores tempos de propagação médio, sendo o TGA o menor deles. Já para a saída Soma, o somador que apresentou os maiores valores de atraso médio foi o CMOS seguido do CPL. TFA e Híbrido apresentaram valores semelhantes e intermediários e o somador TGA novamente apresentou os menores valores de atraso médio.

A Tabela III mostra que, para a saída Cout, o somador CPL apresentou maior potência total média, aproximadamente 11 vezes maior que o somador de menor potência, o TFA. Para a saída Soma, o CPL também foi o somador que apresentou o maior valor de potência, e o somador com os menores valores novamente foi o TFA.

TABELA II
TEMPOS DE PROPAGAÇÃO MÉDIO COM DIMENSIONAMENTO MÍNIMO E SEM PVT (ps)

SAÍDA	CMOS	CPL	HÍBRIDO	TFA	TGA
COUT	23,11	27,30	22,55	16,37	15,18
SOMA	31,37	27,30	22,75	23,96	20,12

TABELA III
POTÊNCIA TOTAL MÉDIA COM DIMENSIONAMENTO MÍNIMO E SEM PVT (µW)

SAÍDA	CMOS	CPL	HÍBRIDO	TFA	TGA
COUT	1,86	3,43	1,94	0,31	1,04
SOMA	1,81	3,32	1,99	0,29	1,07

B. Caracterização elétrica dos somadores com dimensionamento mínimo considerando PVT

A seguir serão apresentados os principais resultados referentes à análise PVT utilizando o dimensionamento mínimo.

1) Processo

É possível observar os resultados de tempos de propagação na Fig. 6 para a saída Cout, que o somador CMOS apresenta um baixo desvio padrão, além de possuir o menor valor máximo. Os somadores TFA e TGA apresentam um bom valor médio, porém, os seus desvios padrões são altos. E o somador que obteve o maior valor máximo, que é definido

como o valor no pior caso, foi o CPL.

Analisando os tempos de propagação na Fig.7 para a saída Soma, pode-se observar que o CMOS alcançou o maior valor máximo, seguido do CPL. Os somadores Híbrido, TGA e TFA apresentam bons resultados de média, porém, os seus desvios padrões são altos. Já o somador CPL foi o que apresentou o menor resultado para desvio padrão.

É possível observar que os resultados de potência para as saídas Cout e Soma são muito semelhantes para todos os somadores investigados, como mostra a Fig.8. Os melhores valores foram obtidos pelos somadores TGA e TFA, sendo o TFA o melhor neste caso. Em comparação com o CPL, que foi o somador que apresentou os valores mais altos, os valores de potência média, mínima e máxima para o TFA são aproximadamente 11 vezes menores.

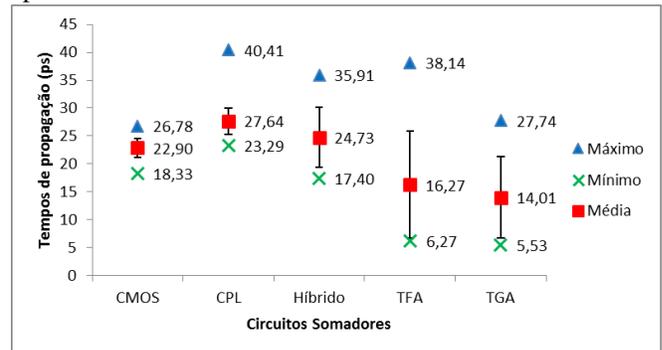


Fig. 6. Tempos de propagação médio, máximo, mínimo e desvio padrão para a saída Cout com dimensionamento mínimo considerando variabilidade de processo

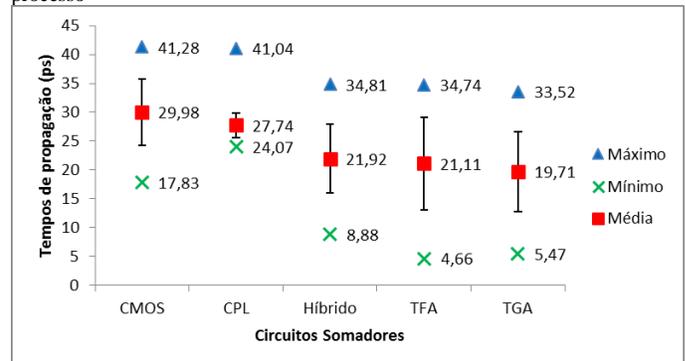


Fig. 7. Tempos de propagação médio, máximo, mínimo e desvio padrão para a saída Soma com dimensionamento mínimo considerando variabilidade de processo

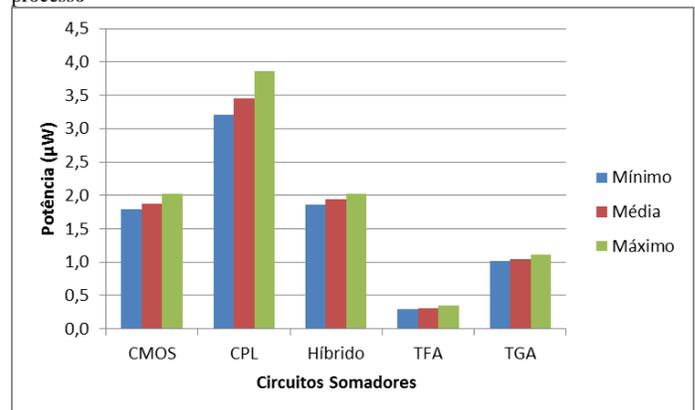


Fig. 8. Potência mínima, média, máxima para a saída Cout e Soma com dimensionamento mínimo considerando variabilidade de processo

2) Temperatura

Através da Fig. 9 para a saída *Cout*, é possível observar que os tempos de propagação para valor máximo aumentam conforme a temperatura aumenta. O CPL foi o único somador que não apresentou um aumento nos valores de atraso máximo para a primeira elevação de temperatura (de -25°C para 0°C). Porém, para os próximos pontos, os tempos de propagação do CPL aumentaram conforme a temperatura aumentou.

Analisando a Fig.10 para a saída *Soma*, novamente observa-se que os tempos de propagação aumentam quando a temperatura aumenta. Uma comparação entre o Híbrido e o TGA demonstra que para baixas temperaturas, o TGA possui tempos de propagação mais baixos. Porém, após atingir a temperatura nominal (27°C), o Híbrido é o somador que passa a ter os tempos de propagação mais baixos em relação ao TGA. A Fig. 11 mostra que os resultados da potência são muito semelhantes. Observa-se que o somador que apresenta os maiores valores de potência é o CPL e o que apresenta os menores é o TFA.

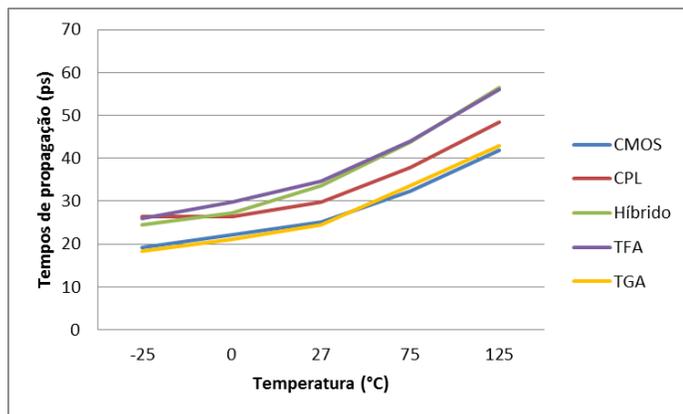


Fig. 9. Tempos de propagação máximo para saída *Cout* com dimensionamento mínimo considerando variações de temperatura

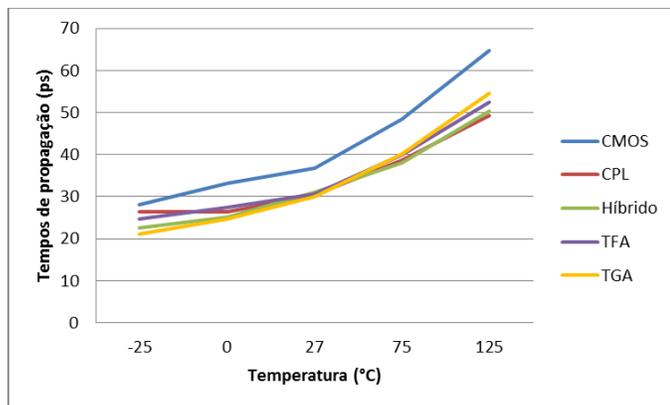


Fig. 10. Tempos de propagação máximo para saída *Soma* com dimensionamento mínimo considerando variações de temperatura

1) Tensão

Analisando a Fig.12, observar-se que os tempos de propagação diminuem conforme a tensão aumenta. Uma comparação entre os somadores CMOS e TGA demonstra que para tensões mais baixas, o CMOS apresenta os menores atrasos. Entretanto, a partir de 0,97V o somador que passa a ter os menores atrasos para valor máximo é o TGA.

Na Fig. 13, observa-se que o CMOS foi o que apresentou a maior taxa de diminuição nos atrasos máximos entre 0,91V e 0,97V. Nota-se que o TFA também reduziu os tempos de propagação para os valores de tensão de 0,91V até 0,97V, entretanto, na faixa de 1,03V até 1,09V, os atrasos permaneceram praticamente constantes.

A Fig.14 apresenta a potência para as saídas *Cout* e *Soma*. É possível observar que a potência aumenta conforme a tensão aumenta. O CPL foi o somador que mais sofreu impacto de variação da tensão e também o que obteve os maiores valores de potência. Os somadores TFA e TGA foram os que menos sofreram com as variações, sendo o TFA o menor entre eles, além de ser o que apresenta os menores valores de potência.

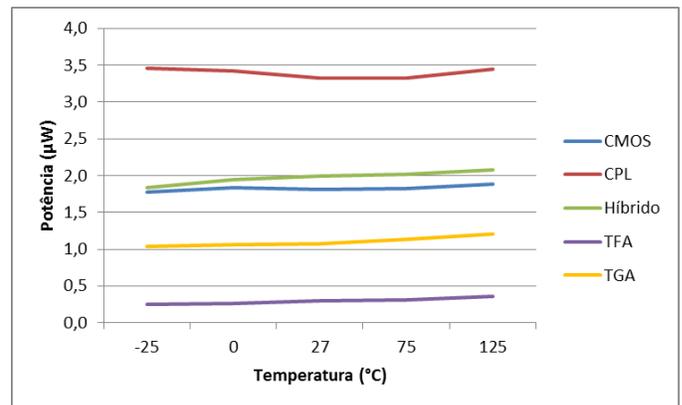


Fig. 11. Potência para a saída *Cout* e *Soma* com dimensionamento mínimo considerando variações de temperatura

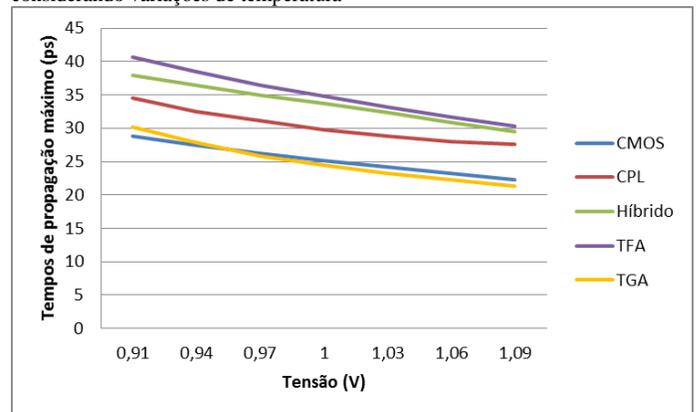


Fig. 12. Tempos de propagação máximo para a saída *Cout* com dimensionamento mínimo considerando variações de tensão

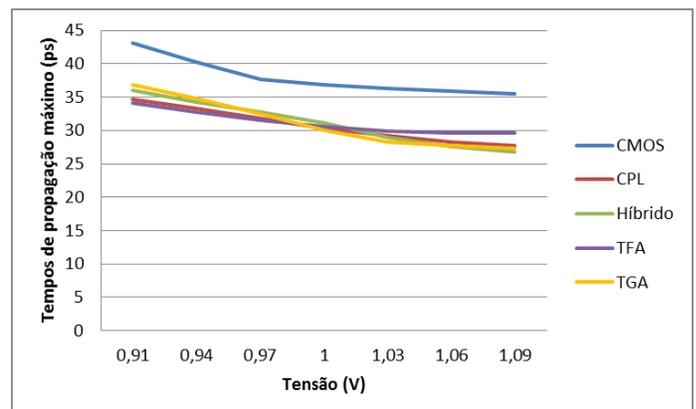


Fig. 13. Tempos de propagação máximo para a saída *Soma* com dimensionamento mínimo considerando variações de tensão

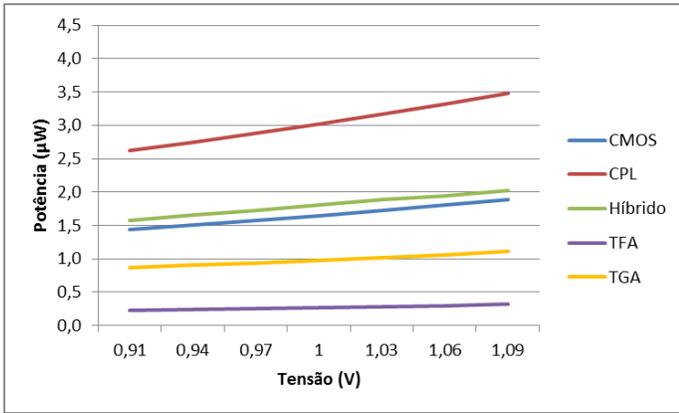


Fig. 14. Potência para a saída Cout e Soma com dimensionamento mínimo considerando variações de tensão

C. Caracterização elétrica com dimensionamento esforço lógico sem considerar PVT

Através da Tabela IV, pode-se observar que o CMOS apresenta o maior tempo de propagação médio para a saída Cout, seguido pelos somadores Híbrido e CPL. Já os somadores TFA e TGA apresentaram os menores tempos de propagação médios, sendo o TFA o menor deles. Considerando a saída Soma, pode-se observar que o somador Híbrido apresentou o maior tempo de propagação médio, seguido pelo CMOS. Os somadores TGA e CPL obtiveram resultados semelhantes. E o somador TFA foi o que apresentou o menor tempo de propagação médio.

A Tabela V mostra que a saída Cout, o somador CPL apresentou a maior potência total média, sendo aproximadamente seis vezes maior do que o somador de menor potência, o TFA. Considerando a saída Soma, novamente o somador CPL apresentou a maior e o TFA a menor potência total média.

TABELA IV
TEMPOS DE PROPAGAÇÃO MÉDIO COM ESFORÇO LÓGICO E SEM PVT (ps)

SAÍDA	CMOS	CPL	HÍBRIDO	TFA	TGA
COUT	22,73	20,25	21,80	11,62	13,29
SOMA	26,64	20,44	29,46	17,44	18,51

TABELA V
POTÊNCIA TOTAL MÉDIA COM ESFORÇO LÓGICO E SEM PVT (µW)

SAÍDA	CMOS	CPL	HÍBRIDO	TFA	TGA
COUT	2,73	3,35	2,62	0,54	1,55
SOMA	2,64	3,24	2,62	0,52	1,59

D. Caracterização elétrica com dimensionamento esforço lógico considerando PVT

A seguir serão apresentados os principais resultados referentes à análise PVT utilizando o dimensionamento com esforço lógico.

1) Processo

Pode-se observar na Fig.15 para a saída Cout dos tempos de propagação, que os somadores TFA e TGA apresentam um bom valor médio, porém, os seus desvios padrões são altos. O somador que obteve o maior valor máximo, que para os tempos de propagação é considerado como o valor no pior caso, e o maior desvio padrão, foi o Híbrido.

Analisando os tempos de propagação da Fig.16 para a saída Soma, pode-se observar que o CMOS alcançou o maior valor máximo, seguido do Híbrido. Novamente, os somadores TGA e TFA apresentam bons resultados de média, porém, os seus desvios padrões são altos. Já o somador CPL foi o que apresentou o menor resultado para valor máximo e para desvio padrão.

Analisando a Fig. 17 é possível observar os resultados de potência para as saídas Cout e Soma. Os melhores valores foram obtidos pelos somadores TGA e TFA, sendo o TFA o melhor neste caso. Os resultados de potência média, mínima e máxima do CPL são de aproximadamente seis vezes superiores aos do TFA.

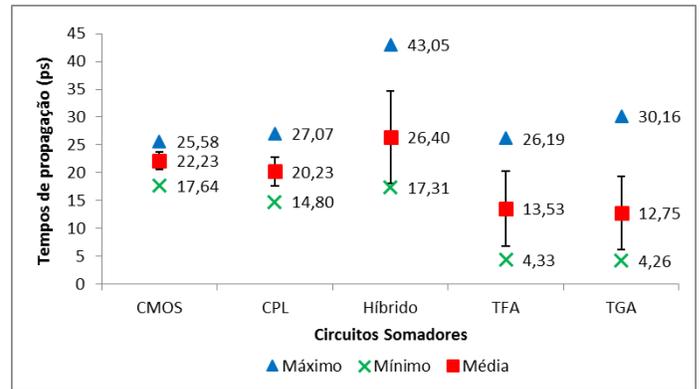


Fig. 15. Tempos de propagação médio, máximo, mínimo e desvio padrão para a saída Cout com esforço lógico considerando variabilidade de processo

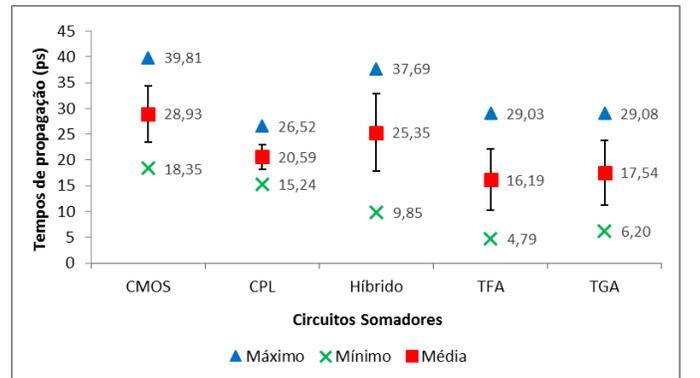


Fig. 16. Tempos de propagação médio, máximo, mínimo e desvio padrão para a saída Soma com esforço lógico considerando variabilidade de processo

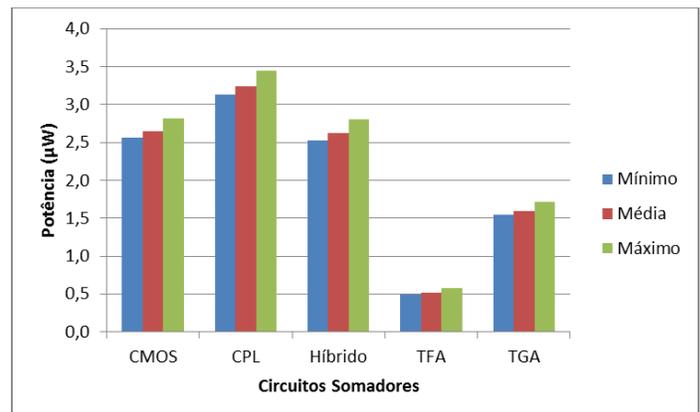


Fig. 17. Potência mínima, média, máxima para a saída Cout e Soma com esforço lógico considerando variabilidade de processo

2) Temperatura

Na Fig.18 pode-se observar que para a saída *Cout*, a medida que temperatura aumenta, os tempos de propagação também aumentam, sendo uma relação diretamente proporcional. Para a temperatura mais baixa, o somador que apresentou o melhor caso, onde o tempo de propagação tem o menor valor de máximo, foi o somador TFA. O que apresentou o pior caso foi o somador Híbrido, sendo esse quase o dobro de tempo em relação ao TFA. O Híbrido apresentou o pior caso em todas as temperaturas observadas. O CPL apresentou o melhor caso em quase todos os pontos, somente quando a temperatura era negativa que o melhor caso foi obtido pelo somador TFA.

Na Fig.19 pode-se constatar que a medida que a temperatura aumenta, aumentam os tempos de propagação. Diferente da saída *Cout*, onde o Híbrido obteve os piores casos, para a saída *Soma*, o somador CMOS obteve os piores casos. O somador CPL novamente apresentou os melhores casos, obtendo os menores valores de tempos de propagação máximo em todas as temperaturas observadas.

Na Fig.20 pode-se observar que o somador que apresentou os menores valores de potência para todas as temperaturas foi o TFA, enquanto o somador que apresentou o maior valor de potência também em todos os pontos observados foi o somador CPL, sendo este com valor de potência aproximadamente seis vezes maior que o do TFA. Esse comportamento foi observado para as saídas *Cout* e *Soma*.

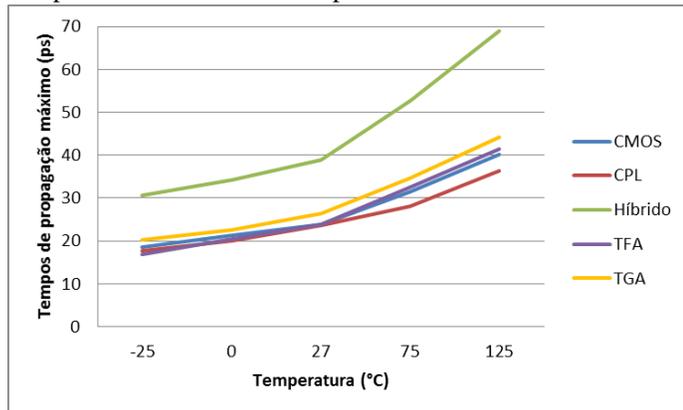


Fig. 18. Tempos de propagação máximo para a saída *Cout* com esforço lógico considerando variações de temperatura

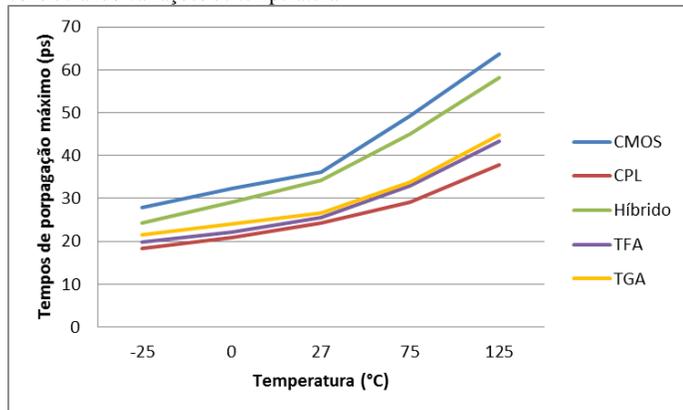


Fig. 19. Tempos de propagação máximo para a saída *Soma* com esforço lógico considerando variações de temperatura

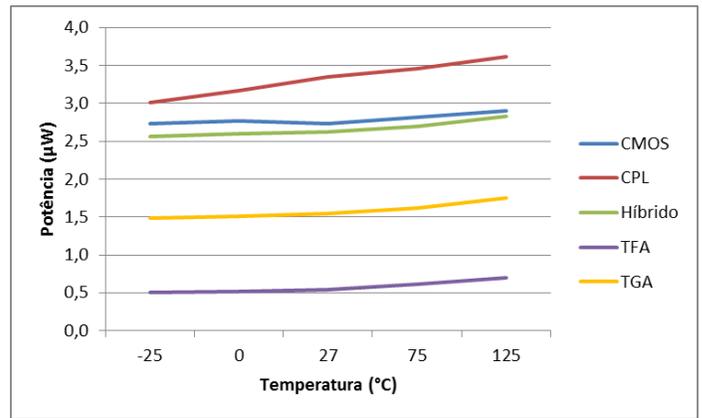


Fig. 20. Potência para a saída *Cout* e *Soma* com esforço lógico considerando variações de temperatura

3) Tensão

Para os resultados de tensão em relação aos tempos de propagação é possível observar que a medida que aumentam as tensões, os tempos de propagação diminuem, sendo assim uma relação inversamente proporcional, diferente da relação entre temperatura e tempos de propagação.

Na Fig.21 é possível observar que o somador que apresenta os maiores tempos de propagação é o Híbrido. O CPL obteve menores tempos de propagação nas tensões de 0,91V até 1V, enquanto o TFA atingiu menores tempos de propagação de 1,03V até 1,09V. Como observado na Fig.22, diferentemente da saída *Cout*, para a saída *Soma* o somador que apresentou os maiores tempos de propagação foi o CMOS, enquanto o somador que obteve os menores valores foi o CPL.

Na Fig.23 é possível observar que o somador CPL possui maior potência em todos os casos e o TFA a menor. Também é possível observar que a medida que a tensão aumenta, a potência também aumenta, somente para a tensão 1,09V ocorre uma queda na potência, porém os valores permanecem maiores que os da nominal (1V). Esse comportamento foi observado nas saídas *Cout* e *Soma*.

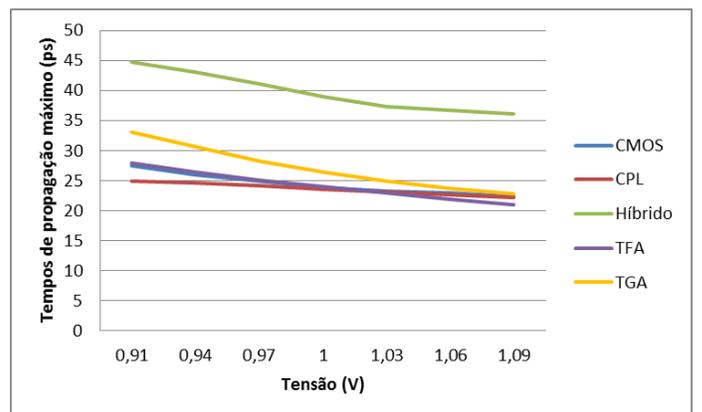


Fig. 21. Tempos de propagação máximo para a saída *Cout* com esforço lógico considerando variações de tensão

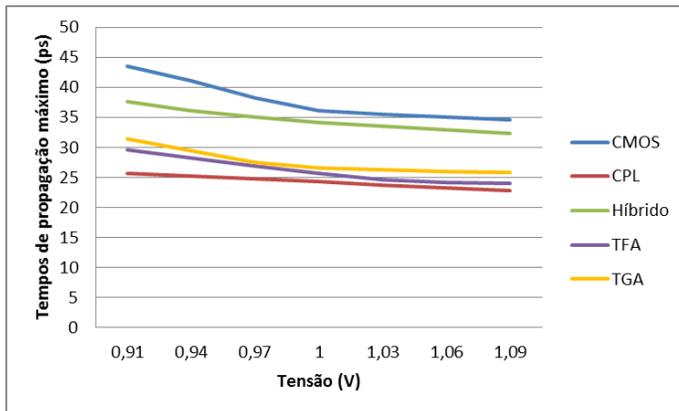


Fig. 22. Tempos de propagação máximo para a saída *Soma* com esforço lógico considerando variações de tensão

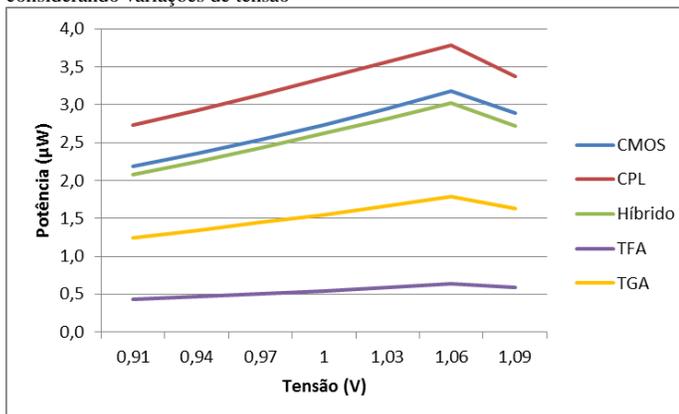


Fig. 23. Potência para a saída *Cout* e *Soma* com esforço lógico considerando variações de tensão

V. CONSIDERAÇÕES FINAIS

Os resultados que foram obtidos mostraram que, os somadores TFA e TGA alcançaram os melhores valores para tempo de propagação e de potência, porém, os seus desvios padrões foram os mais altos encontrados. O CPL foi o somador que obteve os maiores valores para potência.

Comparando os resultados utilizando o dimensionamento mínimo e o dimensionamento por esforço lógico, é possível observar que para a maioria dos casos, os tempos de propagação dos somadores com esforço lógico são melhores do que com o dimensionamento mínimo. Entretanto, os valores de potência com esforço lógico são maiores do que os obtidos pelo dimensionamento mínimo. Os resultados obtidos considerando esforço lógico para variações de tensão

mostraram que, os valores para a saída *Cout* dos tempos de propagação máximo apresentam uma melhora de aproximadamente 4% em relação ao dimensionamento mínimo. Para a saída *Soma*, também observou-se uma melhora nos resultados de tempos de propagação máximo com esforço lógico em relação ao dimensionamento mínimo, chegando a aproximadamente 5%.

A análise dos resultados com esforço lógico considerando variações de temperatura mostrou que, na maioria dos casos, os tempos de propagação máximo para a saída *Cout* são menores do que com o dimensionamento mínimo. Entretanto, no caso do Híbrido, observou-se um aumento de 13% nos tempos de propagação máximo utilizando esforço lógico.

No geral, é possível perceber que cada um dos somadores investigados possui suas características com vantagens e desvantagens em relação aos dados de atraso e potência.

REFERÊNCIAS

- [1] Nassif, Sani R. "Process variability at the 65nm node and beyond." 2008 IEEE Custom Integrated Circuits Conference. IEEE, 2008.
- [2] Beckett, Paul. "A fine-grained reconfigurable logic array based on double gate transistors." Field-Programmable Technology, 2002.(FPT). Proceedings. 2002 IEEE International Conference on. IEEE, 2002.
- [3] Chang, Chip-Hong, Jiangmin Gu, and Mingyan Zhang. "A review of 0.18-/spl mu/m full adder performances for tree structured arithmetic circuits." IEEE Transactions on very large scale integration (VLSI) systems 13.6 (2005): 686-695.
- [4] Silva, A. N. "Análise de somadores de um bit trabalhando em baixo consumo de potência", Trabalho de Conclusão de Curso / FURG, 2011
- [5] Navi, Keivan, et al. "Low-power and high-performance 1-bit CMOS full-adder cell." Journal of computers 3.2 (2008): 48-54.
- [6] NGSPICE. NGSPICE Circuit Simulator. Disponível em: <<http://ngspice.sourceforge.net>>. Acesso em: 23 nov. 2015.
- [7] PTM, "Predictive Technology Models", available: <http://ptm.asu.edu/>.
- [8] SUTHERLAND, I.; SPROULL, R. F.; HARRIS, D. Logical Effort: Designing Fast Cmos Circuits. San Francisco, USA: Morgan Kaufmann Publishers, 1998.
- [9] SILVA, D.; REIS, A. I.; RIBAS, R. P. Gate delay variability estimation method for parametric yield improvement in nanometer CMOS technology. Microelectronics Reliability, [S.l.], v. 50, n. 9-11, p.1223-1229, set. 2010. Elsevier BV. doi: 10.1016/J.MICROREL.2010.07.071.
- [10] MEINHARDT, C.; REIS, R. Evaluation of process variability on current for nanotechnologies devices. IEEE 3rd Latin American Symposium on Circuits and Systems (LASCAS), [S.l.], p.1-4, fev. 2012. doi: 10.1109/LASCAS.2012.6180361.
- [11] ALIOTO, M.; CONSOLI, E.; PALUMBO, G. Variations in Nanometer CMOS Flip-Flops: Part I – Impact of Process Variations on Timing. IEEE Transactions on Circuits and Systems I, [S.l.], v. 62, n. 8, p.2035-2043, ago. 2015. doi: 10.1109/TCSI.2014.2366811.