

Aprimoramento de um BIST para Detecção de Erros de Amplitude em PLLs

João Paulo H. de Faria e Frank Sill Torres

Abstract—Este artigo propõe o aprimoramento de uma técnica de testes de PLLs (*Phase-Locked Loops*). Dentre as técnicas de testes para circuitos integrados, estudou-se aqui técnicas envolvendo BIST (*Built-in Self-test*), uma técnica que reduz consideravelmente os custos de teste de um circuito integrado. Após o estudo de técnicas de BIST específicas para testes de PLL, propõe-se neste artigo o BIST Analógico com Detecção de Erro em Amplitude (BADEA) que é uma melhoria de uma técnica existente. O BADEA é capaz identificar erros não só na frequência, mas também na amplitude do sinal de saída do PLL com um pequeno aumento relativo na área total do BIST. Os resultados obtidos através de simulações mostraram que a melhoria desenvolvida é eficaz e não afeta a funcionalidade da técnica existente e da PLL.

Index Terms—BIST Analógico, PLL, Microeletrônica, Confiabilidade, Circuito Integrado.

I. INTRODUÇÃO

PHASE-LOCKED LOOPS (PLLs) são circuitos largamente utilizados em telecomunicações, computação, eletrônica analógica e digital e sistemas de automação. São utilizados, por exemplo, na geração de uma frequência estável, removendo os ruídos presentes, distribuição de sinais de clock sincronizados em circuitos digitais como microcontroladores e demodulação de sinais em sistemas de telecomunicações. Assim sendo, o PLL é de importância ímpar nestes sistemas, de forma que é muito importante garantir a confiabilidade destes, de modo que os sistemas nos quais eles são empregados tenham um funcionamento correto e confiável. Garantir esta confiabilidade não é trivial, ainda mais se tratando de Circuitos Integrados (CIs). Existem várias técnicas que permitem o teste de CIs, incluindo a técnica BIST que será utilizada neste trabalho.

BIST é uma técnica bem conhecida e estabelecida em testes de CIs. Através da adição de pequenos circuitos no chip junto ao circuito que será testado (CUT - Circuit under Test) consegue-se reduzir o custo de testes. Ainda que BIST digitais estejam bem consolidados, a realização de BISTs analógicos (analog BISTs) continua sendo um desafio, pois estes devem ser projetados especificamente para uma classe de aplicações, enquanto BISTs digitais são mais versáteis. Por ser uma solução integrada utilizada somente na etapa de testes do CI, é essencial que o BIST não ocupe muita área de silício e que não gere um alto consumo.

João Paulo Hanke de Faria é aluno do curso de graduação em Engenharia Elétrica na Universidade Federal de Minas Gerais (UFMG).
E-mail: jphanke@gmail.com

Frank Sill Torres é graduado em Engenharia Elétrica, Mestre e Doutor em Engenharia Elétrica pela Universidade de Rostock e tem Pós-Doutorado na Universidade Federal de Minas Gerais (UFMG). Atualmente é Professor Adjunto do Departamento de Engenharia Eletrônica da UFMG.
E-mail: franksill@ufmg.br

Projetar um BIST analógico envolve mais que obter sinais analógicos de entrada e saída precisos, parâmetros como amplitude do sinal de saída, atraso de fase e relação sinal-ruído são fatores que tornam o projeto de um BIST analógico mais desafiador [1].

Atualmente, existem técnicas de BIST analógico que envolvem captura de resposta através de sub-amostragem, utilização de filtros programáveis, modulações e utilização de DSPs para testar os circuitos, que podem variar entre Conversores Digitais-Analógicos [2], Conversores Analógico-Digitais [3], PLL [4] e outros.

Neste trabalho, será analisada uma técnica de BIST analógico para um circuito PLL e, a partir da análise feita, serão propostas melhorias através da inclusão de circuitos simples. Estas inclusões resultam em um novo modelo de BIST capaz de detectar falhas relativas à amplitude do sinal de saída do PLL, falhas estas não detectadas pelo BIST analisado. A este novo BIST denomina-se BIST Analógico com Detecção de Erro em Amplitude (BADEA). Além disso, este trabalho também tem por objetivo realizar um ambiente de testes para BISTs.

Este artigo está organizado da seguinte maneira: no capítulo 2 tem-se uma explanação básica a respeito do funcionamento de um PLL, falhas típicas em CIs e técnicas BIST já existentes. O capítulo 3 será focado no BADEA e nas alterações propostas. O capítulo 4 tratará da metodologia e ambiente de testes utilizado e o capítulo 5 apresentará os resultados alcançados junto a uma análise dos mesmos.

II. ASPECTOS BÁSICOS

A. Falhas Típicas em CIs:

As falhas típicas ocorridas em um CI Digital podem ser modeladas de várias formas [5]. Falhas como Stuck At e Stuck Open assumem que as falhas ocorrem somente nas interconexões do circuito, já falhas do tipo Bridging permitem falhas dentro dos blocos lógicos [6].

Falhas ocorridas em CIs Analógicos são modeladas de duas formas: falhas catastróficas ou falhas paramétricas, que podem degenerar o sinal analógico, sem necessariamente levá-lo a 1 ou 0 lógicos [7]. Estes tipos de falhas são mais detalhados na Tab. I. Como o circuito trabalhado aqui é um circuito misto (mixed signal), com partes digitais e analógicas, ele está suscetível a ambos os tipos de falhas.

B. O PLL

A função de PLL é manter na sua saída uma frequência sincronizada com um sinal de entrada mesmo que existam pequenas variações ou ruídos neste sinal. É um sistema de

Tabela I: Falhas Típicas em Circuitos Integrados

Tipo de Falha	Características
Single Stuck-at (SSAF)	Não há defeito nas células, apenas nas interconexões. Há apenas uma falha por vez, que pode fixar um determinado nó em VDD ou GND permanentemente, sem afetar diretamente outras partes do circuito.
Multiple Stuck-at (MSAF)	Semelhante ao SSAF, mas aceitando que duas ou mais interconexões do circuito possam falhar.
Stuck-open (SOF)	Também não há defeito nas células, mas nas interconexões. Assume que uma única interconexão está fluando, de forma que seu valor não está fixado nem em VDD nem em GND.
Bridging	Modelo no qual há curto circuito entre dois nós fisicamente perto. Podem ser de três tipos: dentro dos blocos de circuito, como entre os terminais de um transistor; entre as entradas e saídas de blocos lógicos sem realimentação; e entre as entradas e saídas de blocos lógicos com realimentação. Este modelo não considera curto entre blocos lógicos e não lógicos.
Transition delay	Falhas geradas por diferenças no processo de fabricação, onde uma porta lógica tem um atraso grande o suficiente para gerar problemas no funcionamento do circuito.
Path-delay	Similar ao Transition Delay, porém ao invés de modelar a falha como atraso de uma única porta, modela-se o atraso de todo aquele caminho lógico como sendo maior que o limite.
Falhas Catastróficas (circuitos analógicos)	São falhas nas quais um componente de circuito é curto circuitado ou tem algum de seus terminais abertos. Alguns casos consideram falhas de Stuck-at como falhas catastróficas
Falhas Paramétricas (circuitos analógicos)	Acontecem quando valores analógicos de transcondutância de transistores, resistência, capacitância ou indutância são alterados de forma a causar degradação de sinais.

controle em malha fechada no qual o sinal de realimentação é utilizado para sincronizar a frequência do sinal de saída através de detecção de diferença de fase entre a entrada e a realimentação. O diagrama de blocos de um PLL é mostrado na Fig. 1, em pontilhados e tons mais claros. O funcionamento básico do PLL é explicado a seguir.

O Detector de Fase (PFD) calcula a diferença de fase existente entre os sinais de Entrada e de Feedback do circuito, de forma que se o sinal de entrada está adiantado em relação ao sinal de Feedback, o sinal Up é ativado. Do contrário ativa-se o sinal $Down$.

De acordo com o sinal recebido pelo Charge Pump (Up ou $Down$), a sua saída pode aumentar ou diminuir de tensão na entrada do Filtro Passa-Baixas. Este sinal é então enviado a um VCO (Oscilador controlado por Tensão), que converterá a tensão de entrada em uma frequência e disponibilizada na saída do PLL. Este sinal de saída é também a entrada de um Divisor de Frequências (DBN), cujo funcionamento é também o de um contador, que após reduzir a frequência do sinal, o envia para a realimentação do circuito.

C. Técnicas BIST já existentes para PLL

Já existem várias técnicas BIST para testar PLLs, sendo que algumas delas foram estudadas previamente ao desenvolvimento deste trabalho. As principais destas referências estão indicadas na Tab. II, que detalha tais técnicas e suas principais características como tipo do circuito, características gerais de geração de sinais, aumento de área e consumo relativo e cobertura de erros de acordo com os procedimentos de testes adotados por cada autor. Estes erros, entretanto, não incluem erros na amplitude do sinal de saída.

Por apresentar uma área relativa muito pequena e ter um percentual médio de cobertura de erros muito alto, escolheu-se trabalhar com a técnica apresentada em [4], também apresentada na Fig. 1. Esta técnica tem um diferencial de já aproveitar blocos existentes do PLL na estrutura do BIST e não necessitar alteração em nenhum dos blocos do PLL, apenas a inclusão de algumas células em sua estrutura que não alteram seu funcionamento quando o BIST não está ativo.

O seu funcionamento básico consiste em utilizar o DBN como um contador, que mede a frequência de saída do VCO e, caso exista alguma falha no PLL, acumula estes erros em sua contagem. Durante o teste, os multiplexadores utilizam os sinais da entrada com certo atraso tanto como a entrada de referência como a entrada de realimentação do PLL, causando propositalmente um atraso do sinal de realimentação num primeiro momento e, numa segunda parte do teste, fazendo com que a entrada de referência esteja atrasada em relação à outra entrada. Estas duas etapas do teste são controladas pelo sinal CDT (*Charge-Discharge Test*), que controla o multiplexador MUX1.

A análise desta técnica, entretanto, revelou que esta não detecta falhas na amplitude do sinal de saída, possivelmente por fazer uma medição do sinal através de um circuito puramente digital, levando em conta apenas a frequência do sinal medido.

Falhas em amplitude são preocupantes, pois a degeneração de um sinal, por diminuição de amplitude, pode acarretar em aumento no atraso do circuito ou mesmo fazer com que o sinal não tenha uma amplitude suficiente para provocar a mudança de nível lógico na entrada das portas lógicas, seja mantendo o sinal em 0 lógico ou em 1 lógico (no caso de um aumento no nível DC). Este fato motivou o desenvolvimento de uma versão modificada, conforme descrito no próximo tópico, que consiga detectar este tipo de falha.

III. BIST ANALÓGICO COM DETECÇÃO DE ERRO EM AMPLITUDE (BADEA)

O BIST proposto aqui se baseia na técnica apresentada por [4] com modificações que permitem a detecção de erros na amplitude do sinal de saída, seja pela existência de um deslocamento pela adição de uma tensão contínua (nível DC) ou diminuições na amplitude do sinal de saída abaixo de um determinado limite. Estas falhas não são detectáveis pela técnica analisada anteriormente. Para detectar estes tipos de falhas, fez-se necessário adicionar outros dois blocos ao BIST: um comparador e um integrador.

A função do comparador é a detectar se a amplitude do sinal de saída está acima de um valor limiar. Através disso,

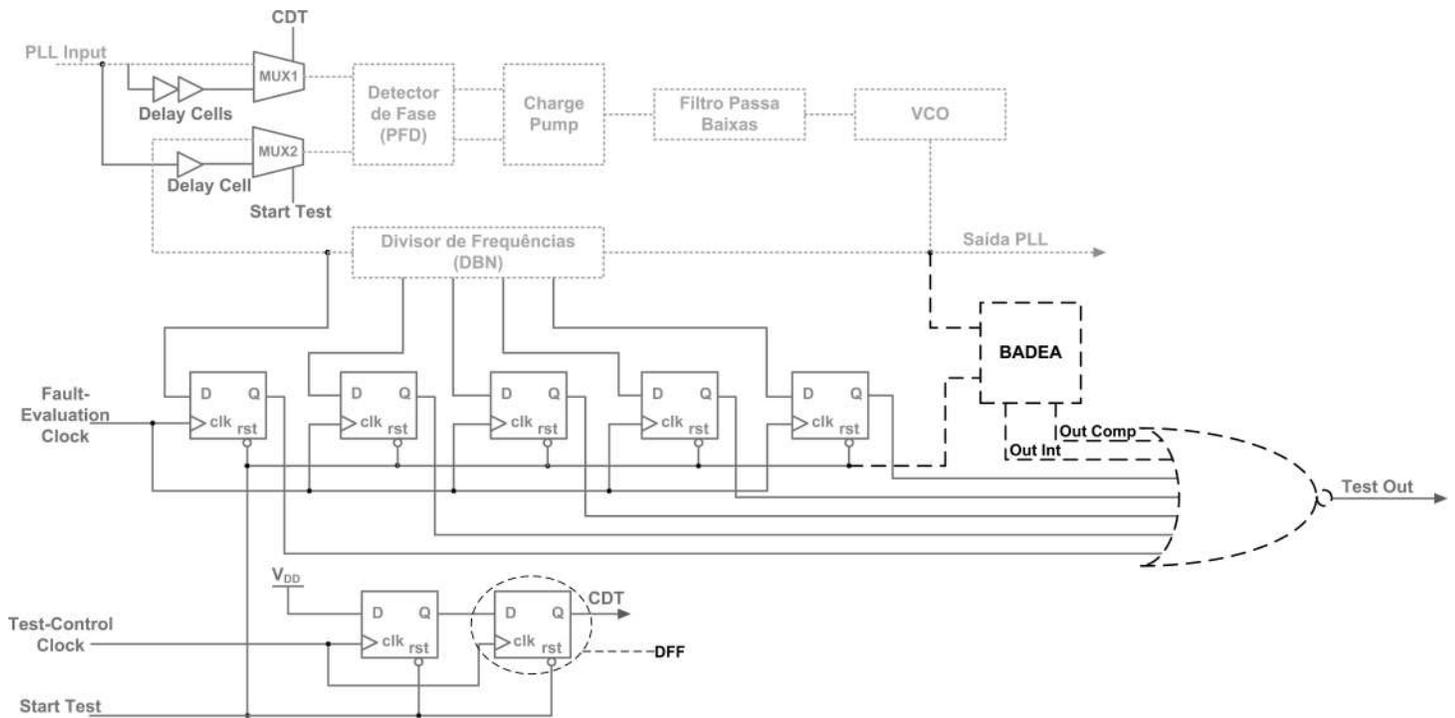


Fig. 1: Diagrama de Blocos de um PLL (em pontilhados claros) e do BIST apresentado em [4] com as alterações propostas neste artigo (em tracejados escuros).

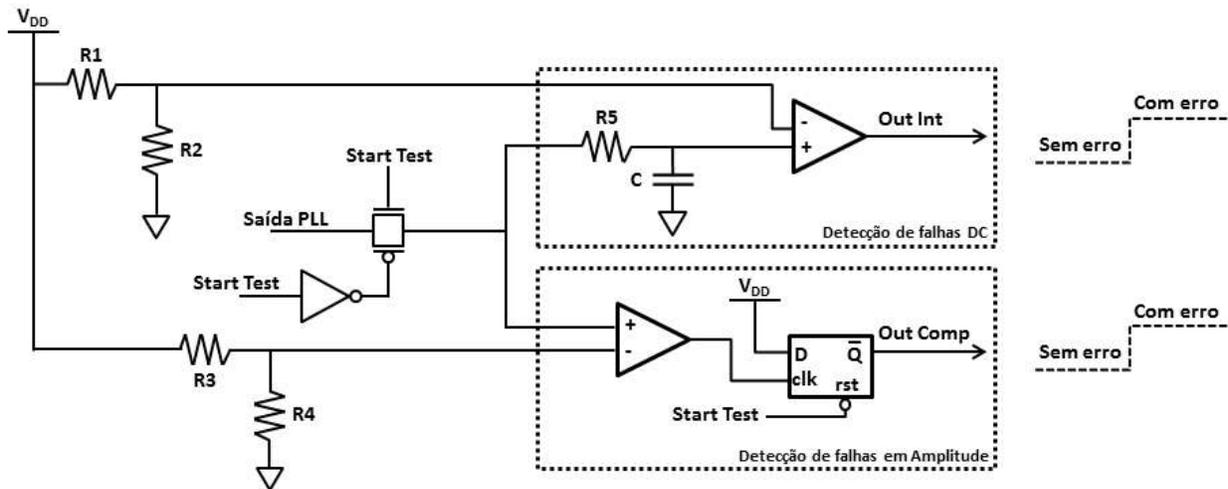


Fig. 2: Diagramas de Blocos com os detalhes do BADEA

a entrada negativa do comparador está ligada a um divisor de tensão que fornece ao comparador uma percentagem de V_{DD} e que possui em sua entrada positiva o sinal de saída do PLL. A percentagem aqui utilizada foi de 80%, ou seja, permite-se que a saída do PLL tenha uma amplitude mínima de 80% da amplitude da entrada.

Sabe-se que quanto mais a amplitude do sinal se aproxima de $V_{DD} - V_{TH}$ (onde V_{TH} é a tensão de limiar dos transistores), maior será o atraso de uma porta lógica. Além disso, a diminuição de amplitude pode levar a uma degeneração do sinal tal que a tensão seja menor que $V_{DD} - V_{TH}$ e não seja suficiente para sensibilizar uma porta lógica. Pode-se verificar este efeito em uma simulação simples com uma porta

inversora. Quando a entrada está em 90% de V_{DD} o atraso na saída aumenta em 8%, para 80% de V_{DD} este atraso aumenta em 18%. Quando a entrada é de 70% de V_{DD} o atraso aumenta 30%.

Escolheu-se assim uma amplitude mínima de 80%, pois não é uma restrição muito rígida quanto à variação da amplitude mas não permite atrasos muito grandes ou mesmo a degeneração do sinal. Com uma margem de 80% tem-se uma garantia de que mesmo que o atraso fique um pouco maior, não ocorrerá este problema da tensão ser muito pequena a ponto do sinal de saída não conseguir sensibilizar outros circuitos.

Já para detecção de variação no nível DC usou-se um integrador, composto por um capacitor e um resistor apenas,

Tabela II: Técnicas BIST existentes para PLL

Artigo	Circuito	Característica do BIST	Tecnologia	Aumento de Área	Aumento de Consumo	Cobertura de Erros*
A Testable BIST Design for PLL [8]	Digital	Esquema on-chip para medir jitter, com precisão de pico-segundos, sem necessidade de memória extra	0.25 μ m e 0.18 μ m CMOS	entre 38% e 44%	Não informa	Máximo de 91%
Built-In Self-Test for Phase-Locked Loops [4]	Digital	Utiliza charge pump como gerador de sinal e VCO/DBN como dispositivo de medição	0.35 μ m CMOS	Aprox. 2.8%	Não informa	97.2% na média
Test Evaluation and Data on Defect-Oriented BIST Architecture for High-speed PLL [9]	Digital	Utiliza os componentes analógicos já existentes para reduzir área	0.25 μ m CMOS	10%	5mW (8% do consumo do PLL)	96.5% na média
BIST for Measuring Clock Jitter of Charge-Pump Phase-Locked Loops [10]	Parte Digital e parte Analógico	Utiliza TDC para medir jitter	0.18 μ m CMOS	7.4% analógico e 29.3% digital	0.22mW digital e 40mW analógico + PLL	85.4% de eficiência

*erros de amplitude não são considerados

que recebe em sua entrada a saída do PLL e tem em sua saída o nível DC deste sinal. Esta tensão é enviada a entrada positiva de um comparador. Na saída negativa deste mesmo comparador, tem-se uma tensão equivalente ao máximo nível DC permitido. Assim, a saída deste comparador será 0 se o nível DC da saída for menor ao máximo permitido. Nas simulações utilizou-se para este máximo 55% do valor de V_{DD} , sendo este o maior nível DC permitido para a tensão de saída do PLL (caso não haja falhas, o nível DC será de 50% do valor de V_{DD}).

Estas duas saídas são enviadas para a porta NOR do BIST. Se a saída desta porta NOR for 1, não há erros (em amplitude ou frequência) na saída do PLL. Através da análise combinada da saída desta porta lógica com a saída do BIST original pode-se verificar se o PLL apresenta falhas ou não. O diagrama de blocos destas soluções é mostrado em Fig. 2.

As formas de onda esperadas nas saídas deste bloco em caso de erros no PLL são mostradas em Fig. 3.

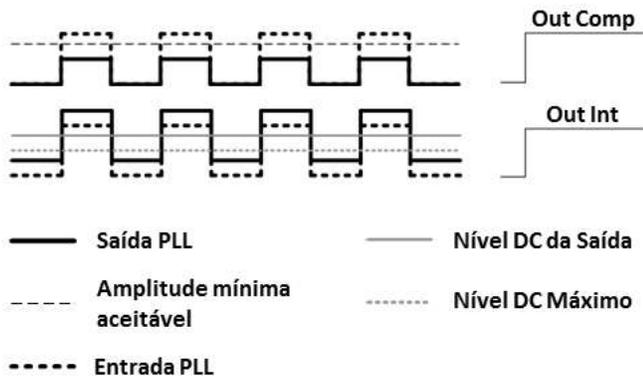


Fig. 3: Sinais de entrada e saída obtidos nas simulações com falhas em amplitude na saída.

É importante citar que este bloco só é ativado quando o sinal Start Test está ativo. Do contrário, ambas as saídas, Out

Comp e Out Int, serão 0 independente dos sinais internos do PLL e do BIST.

Nesta figura, tem-se dois casos exemplificados. O primeiro deles, mostrado no primeiro conjunto de ondas, não há um deslocamento da saída em relação à entrada, mas a amplitude do sinal de saída é menor que um valor aceitável. Assim, o sinal Out Comp é ativado.

No segundo caso apresentado, no segundo conjunto de sinais, o sinal de saída tem um deslocamento em relação ao sinal de entrada, ainda que suas amplitudes sejam as mesmas. Neste caso, o sinal Out Int será ativado.

Além da inclusão destes blocos, foi necessário substituir a porta NOR de cinco entradas utilizada pelo BIST por uma NOR de sete entradas, para comportar os dois novos sinais incluídos, conforme mostrado na Fig. 1.

IV. METODOLOGIA DE TESTES

Para a execução dos testes, fez-se uma modelagem do PLL, do BIST e das falhas a serem incluídas no PLL. Serão detalhadas a seguir como cada um destes componentes foi modelado:

A. Modelagem do PLL

De forma a tornar as simulações mais rápidas e ter um resultado mais independente da tecnologia, optou-se por modelar o PLL através blocos funcionais descritos em Verilog-A, exceto DBN (modelados através de circuitos esquemáticos).

Verilog-A é uma particularidade da linguagem de descrição de hardware Verilog. A principal característica do Verilog-A é a possibilidade de modelar não só circuitos digitais, mas também o comportamento de circuitos analógicos.

B. Modelagem do BIST

Ao contrário do PLL, o BIST foi totalmente modelado através de circuitos esquemáticos. Os flip-flops tipo D (DFF)

foram projetados de forma a terem um reset assíncrono, importante para o início dos testes. O comparador utilizado é bastante simples, de modo a ocupar uma pequena área no chip. O esquemático do comparador utilizado é mostrado na Fig. 4.

Neste comparador, o sinal de saída (V_{Out}) será 1 lógico (V_{DD}) caso a entrada VP seja maior que a entrada VN. Do contrário, V_{Out} será 0 lógico (GND).

O comprimento de todos os transistores utilizados é de 180nm. O valor de I_{Bias} utilizado foi de $40\mu A$.

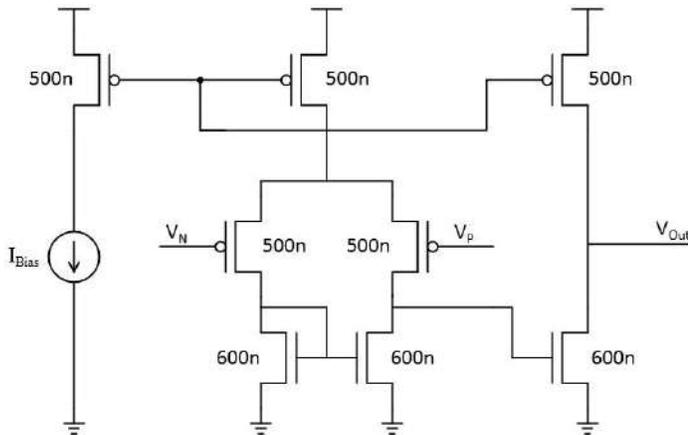


Fig. 4: Esquemático do Comparador projetado com as respectivas larguras dos transistores (em metros)

C. Modelagem das Falhas

Para modelagem das falhas, utilizou-se os conceitos apresentados anteriormente de falha em CIs (ver Tab. I) e inseriu-se as seguintes falhas no circuito PLL:

A - Falhas *Stuck-at*:

- A1 - Saída do DBN para a realimentação do PFD em GND;
- A2 - Saída do DBN para a realimentação do PFD em V_{DD} ;
- A3 - Saída do Filtro para o VCO em GND;
- A4 - Saída do Filtro para o VCO em V_{DD} ;

B - Falhas *Stuck-open*:

- B1 - Saída do DBN para a realimentação do PFD;
- B2 - Saída do Filtro para o VCO;

C - Falhas de Curto-circuito:

- C1 - Curto circuito em todas as entradas dos DFFs do DBN;
- C2 - Curto circuito entre as saídas e as entradas dos DFFs do DBN;

D - Falhas nos blocos funcionais:

- D1 - Erro na geração da saída do VCO:
 - D1.1 - Adição de uma componente contínua na amplitude do sinal de saída de valor igual a V_{DD} ;
 - D1.2 - Adição de um coeficiente de forma a reduzir a amplitude da saída pela metade, sem deslocamento CC.

D2 - Aumento do ganho do VCO (o valor utilizado neste caso foi de aumentar o ganho em 100%)

D3 - Erro de calibração no Filtro:

D3.1 - Aumento da constante RC em 100 vezes;

D3.2 - Redução da constante RC em 100 vezes;

D4 - Circuito aberto da saída do segundo para o terceiro DFF do DBN.

Em geral, o BIST original apresentou um resultado expressivo, conseguindo detectar a maioria das falhas simuladas que geraram erros na frequência de saída.

D. Parâmetros de Teste

Para a realização dos testes, utilizou-se o software *Cadence Virtuoso*[®] e a tecnologia *IBM CMOS7RF*, com $V_{DD} = 1.8V$.

As simulações feitas foram do tipo transiente com uma duração de $300\mu s$, sendo a frequência de entrada do PLL de 1MHz. O sinal *Fault Evaluation Clock* tem uma frequência de 31.15kHz com um atraso de $11\mu s$. O sinal de *Start Test* fica ativo a partir de $20\mu s$ e o sinal *Test Control Clock* tem uma frequência de 8.33kHz e um atraso de $40\mu s$. O atraso proporcionado por cada *delay cell* foi de 100ns. Os valores de resistências e capacitâncias utilizados no módulo adicionado ao BIST original são: $R1 = 4.5k\Omega$, $R2 = 5.5k\Omega$, $R3 = 2k\Omega$, $R4 = 8k\Omega$, $R5 = 35k\Omega$ e $C = 1nF$ (ver Fig. 2 para referência).

Durante a inserção das falhas, optou-se por inserir apenas uma das falhas descritas anteriormente a cada simulação, de forma que o efeito de cada uma delas possa ser analisado de forma independente.

V. RESULTADOS

A. Resultados Gerais das Simulações

Para cada falha descrita na subseção IV-C deste artigo, foi feito uma simulação onde se verificou a capacidade do BIST identificar esta falha no PLL e o tempo para detecção.

A Tab. III compila estes resultados, com destaques para as falhas relativas à amplitude do sinal de saída (D1.1 e D1.2).

Tabela III: Resultado resumido das simulações

Índice da Falha	Resultados do BIST original	Resultados do BADEA
A1	Não detectável	Não detectável
A2	Detectável após $43\mu s$	Detectável após $43\mu s$
A3	Detectável após $107\mu s$	Detectável após $107\mu s$
A4	Detectável após $43\mu s$	Detectável após $43\mu s$
B1	Não detectável	Não detectável
B2	Detectável após $107\mu s$	Detectável após $107\mu s$
C1	Detectável após $43\mu s$	Detectável após $43\mu s$
C2	Não detectável	Não detectável
D1.1	Não detectável	Detectável após $28\mu s$
D1.2	Não detectável	Detectável no início da simulação
D2.1	Detectável após $75\mu s$	Detectável após $75\mu s$
D3.1	Detectável após $43\mu s$	Detectável após $43\mu s$
D3.2	Detectável após $43\mu s$	Detectável após $43\mu s$
D4	Não detectável	Não detectável

Em geral, o BIST proposto por Hsu apresentou uma cobertura boa das falhas simuladas. As falhas não detectadas não geraram uma variação na frequência de saída, apenas um atraso de aproximadamente 40° .

Isso pode ser explicado pelo fato de que quando o BIST está acionado, a saída do PLL não é usada na realimentação do circuito, que passa a utilizar o sinal de entrada atrasado, assim, a saída do DBN não influencia mais no controle do PLL. A diferença de fase entre a entrada e a saída, nestes casos, não foi suficiente para que o PLL não conseguisse gerar a frequência correta em sua saída.

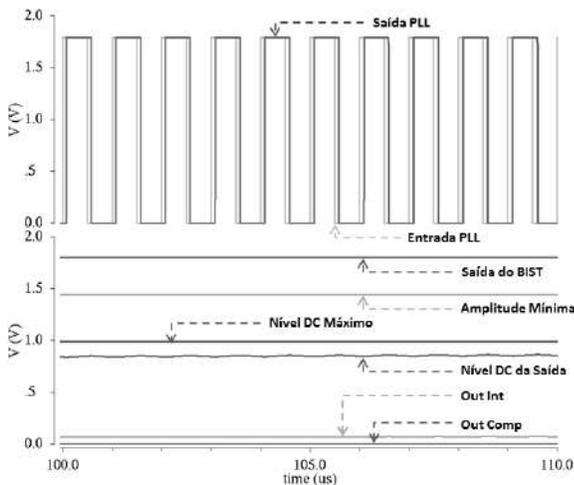
Nas falhas A1 e B1, além da saída do DBN não ser utilizada na realimentação, a falha inserida também não interfere nos sinais de entrada do BIST, por isso ele não detecta nenhum erro. Para as falhas C2 e D4 os sinais internos gerados pelo DBN são levados a 0, o que contribui para que a falha não seja detectada, já que estes sinais serão lidos pela porta NOR e não há alterações na frequência. É possível perceber pela Tab. III que a inserção dos novos blocos funcionais não interfere no funcionamento do BIST original, mas aumenta a cobertura dos erros que ele pode detectar.

Serão analisados a seguir os resultados obtidos especificamente devido às alterações propostas no BIST, com representações das curvas dos sinais de entrada e saída de interesse.

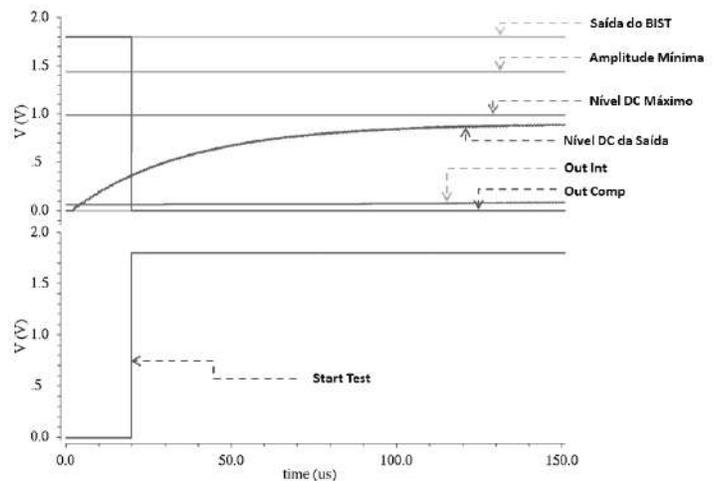
B. Análise dos Resultados obtidos pelo BADEA

Nas simulações onde foram inseridas falhas que afetam a amplitude do sinal de saída, os resultados obtidos pelo BADEA foram satisfatórios.

A Fig. 5 mostra as entradas e saídas quando não há erros. As Figuras 6 e 7 apresentam as formas de onda dos sinais de entrada e saída quando os erros de amplitude e alteração de nível DC, respectivamente, foram detectados, junto aos sinais de saída obtidos nestes casos. Nas três figuras, os gráficos da direita contêm os sinais de controle do BIST mostrados em uma escala maior que nas imagens da esquerda. Em cada imagem, selecionou-se apenas os sinais de maior interesse para cada caso.

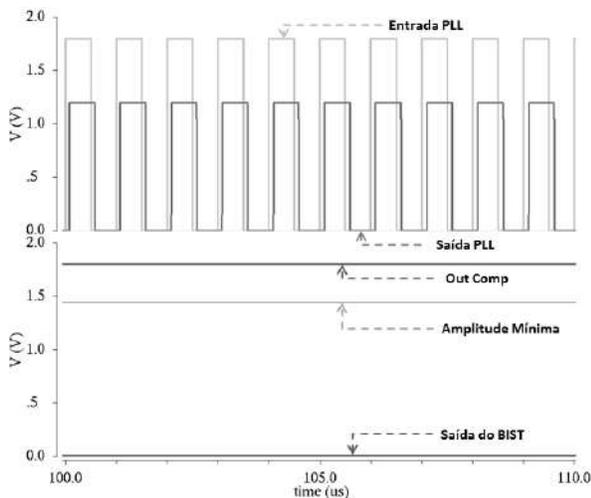


(a) Sinais de Entrada e Saída do PLL

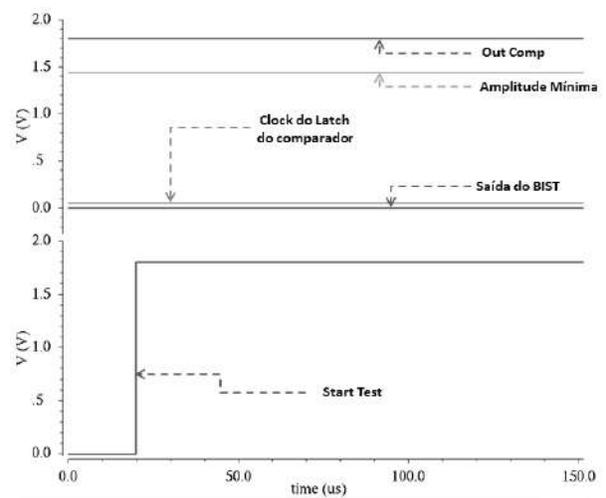


(b) Sinais de Controle

Fig. 5: Resultado da simulação sem erros



(a) Sinais de Entrada e Saída do PLL



(b) Sinais de Controle

Fig. 6: Resultado da simulação quando há erros de amplitude

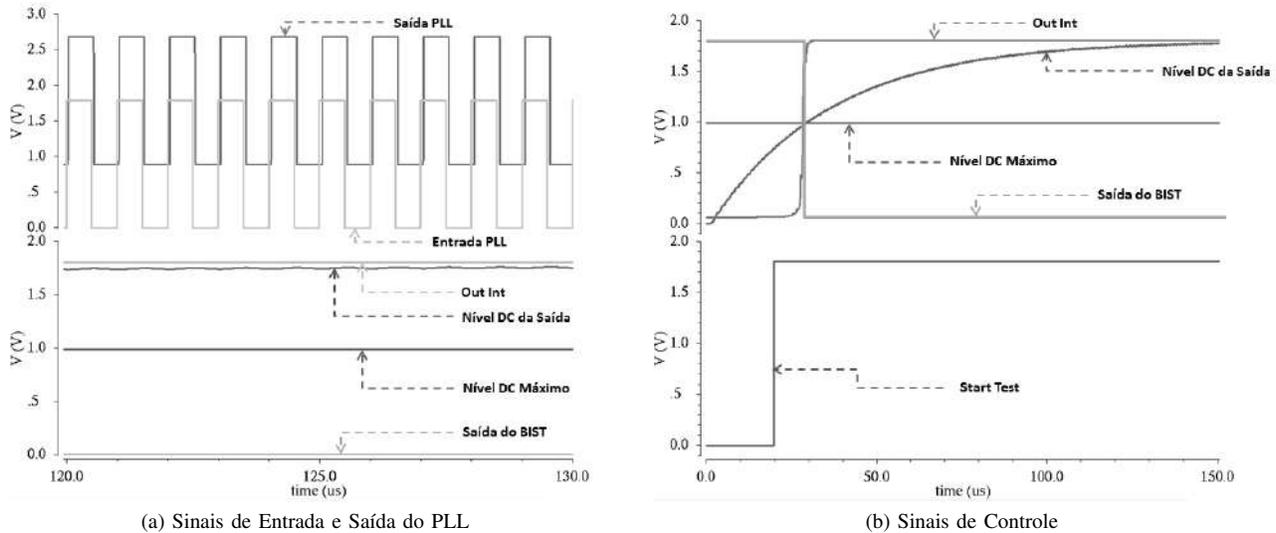


Fig. 7: Resultado da simulação quando há erros de nível DC

A Fig. 5a apresenta os sinais de entrada (em tons claros) e de saída do PLL (em tons escuros). Neste caso não há erros de amplitude nem de nível DC e a saída do BIST, apresentada no gráfico inferior, está em 1, indicando que não há erros. Na Fig. 5b também estão os sinais *Out Int* e *Out Comp* (ambos em zero lógico) e os níveis DC da saída e limiar permitido.

A Fig. 6a contém a entrada e a saída do PLL. Nesta simulação, a saída possui uma amplitude máxima de 67% da amplitude da entrada. A Fig. 6b apresenta a saída *Out Comp* (curva superior), a amplitude mínima necessária (curva intermediária) e, por último, a saída do BIST, em zero. É importante notar que o sinal *Out Comp* está em 1 desde o começo da simulação.

Isto acontece pois o sinal *Start Test* funciona também como um reset para o latch que controla a saída *Out Comp*, como indicado na Fig. 2. Após o início do teste, ou seja, quando o latch não está mais recebendo o sinal de reset ativo (lembrando que o reset é ativo em 0 lógico), seu estado de saída só será alterado quando seu sinal de clock for para 1.

Como é possível observar, o sinal de clock é imutável durante a simulação, permanecendo sempre em zero. Isso acontece pois a amplitude do sinal de saída do PLL tem amplitude menor que o limiar, não ativando o clock do latch. Com isso, a saída do *Out Comp* será 1 desde o início da simulação, fazendo com que a saída do BIST seja 0 desde o início também.

Na Fig. 7a, são apresentados os sinais de entrada e saída do PLL, sendo a curva em tom mais claro a entrada e a curva mais escura a saída. Nesta simulação foi inserido um nível DC de 1.8V no sinal de saída. A Fig. 7b contém a saída *Out Int* (curva superior), o sinal que representa a saída do integrador bem próxima ao sinal *Out Int*, o deslocamento DC máximo permitido e a saída do BIST, em zero. Novamente o resultado obtido foi condizente com o esperado. Todos os sinais estão devidamente identificados nestas figuras.

VI. CONCLUSÕES

Circuitos *Phase-Locked Loops* (PLL) têm uma grande importância em sistemas de controle e automação. Consequentemente, falhas destes componentes podem ter um impacto grande na funcionalidade dos sistemas. Esse trabalho propõe uma melhoria considerável de um *Built-In Self Test* (BIST), o que permite a detecção de falhas de PLLs em circuitos integrados.

O BIST inicial conseguiu ter uma cobertura grande de erros, mas falhou em erros relativos à amplitude do sinal e em simulações onde as falhas inseridas causaram uma variação mínima na frequência de saída.

Para as falhas em amplitude, o novo BIST Analógico com Detecção de Erro em Amplitude (BADEA) projetado atenderam aos objetivos, detectando tais falhas com precisão.

Os elementos adicionados, além disso, são relativamente simples, podendo complementar outras técnicas BIST para PLLs, por depender apenas dos sinais de entrada e saída do PLL e de um sinal que ative início dos testes. Os valores limites de nível DC e amplitude mínima aceitável podem ser alterados facilmente através dos divisores de tensão associados a cada um dos circuitos e o integrador pode ser adaptado para outras frequências através do ajuste de sua constante RC.

O elemento adicionado ao BIST representa aumentos próximos de 17% na área total do BIST e 0,5% na área total da PLL.

É importante destacar também que este trabalho gerou um ambiente de testes *mixed signals* onde é possível simular vários tipos de falhas em PLL, que pode ser utilizado para o teste de outros tipos de BISTs que tenham como foco detectar falhas em PLLs.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Steve Sunter. Essential principles for practical analog bist. EDN Network, 2010.

- [2] Chun Wei Lin e Sheng Feng Lin. A bist scheme for testing dac. In *Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), 2012 9th International Conference on*, pages 1–4, May 2012.
- [3] Yun-Che Wen. A bist scheme for testing analog-to-digital converters with digital response analyses. In *VLSI Test Symposium, 2005. Proceedings. 23rd IEEE*, pages 383–388, May 2005.
- [4] Chun-Lung Hsu, Yiting Lai, and Shu-Wei Wang. Built-in self-test for phase-locked loops. *Instrumentation and Measurement, IEEE Transactions on*, 54(3):996–1002, June 2005.
- [5] V.D. Agrawal. *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits*. Frontiers in Electronic Testing. Springer, 2000.
- [6] Jorge Arturo Corso Sarmiento. *Plataforma de co-emulação de falhas em circuitos integrados*. PhD thesis, Escola Politécnica, Universidade de São Paulo, 2011.
- [7] Michael L. Bushnell e Vishwani D. Agrawal. *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits*. Frontiers in Electronic Testing. Springer, 2005.
- [8] Yeong-Jar Chang, Shen-Tien Lin, and Kun-Lun Luo e Wen-Ching Wu. A testable bist design for pll. In *VLSI Technology, Systems, and Applications, 2003 International Symposium on*, pages 204–207, Oct 2003.
- [9] M. Kim, S. e Soma. Test evaluation and data on defect-oriented bist architecture for high-speed pll. In *Test Conference, 2001. Proceedings. International*, pages 830–837, 2001.
- [10] Jen-Chien Hsu e Chauchin Su. Bist for measuring clock jitter of charge-pump phase-locked loops. *Instrumentation and Measurement, IEEE Transactions on*, 57(2):276–285, Feb 2008.