

# Explorando Computação Aproximada para o Projeto de Somadores Completos visando Eficiência Energética

Pedro Henrique Aquino Silva, Cristina Meinhardt  
pedro.aquino@grad.ufsc.br, cristina.meinhardt@ufsc.br

**Resumo**—Eficiência energética é uma demanda crescente para dispositivos portáteis, principalmente em um mundo cada dia mais interconectado por redes de sensores e internet das coisas. Para aplicações onde o consumo de energia é a principal demanda, novas metodologias de projeto podem ser aplicadas, como por exemplo, explorar aproximação no projeto dos circuitos integrados. As técnicas de computação aproximada para *hardware* podem explorar redução no número de transistores de um circuito, reduzindo a área e potência dissipada, em troca de alguma perda na qualidade da solução gerada. Muitas aplicações de vídeo, imagem, som e relacionadas a outros sensores reais permitem certa imprecisão no seu processamento, por exemplo, devido as limitações dos sentidos humanos e pela grande capacidade de interpretação de conteúdo dos usuários. Estas aplicações são boas candidatas para a adoção de aproximação para eficiência energética. Em geral, a manipulação e processamento empregado nestas aplicações envolve a execução de várias operações aritméticas, principalmente a adição. Assim, visando um projeto energeticamente eficiente, este trabalho explora a computação aproximada no projeto de somadores completos em tecnologias nanométricas, fornecendo um conjunto detalhado de informações sobre tempos críticos e consumo de energia. Além disso, este trabalho considera estes projetos operando com tensões reduzidas, seguindo a técnica tradicional de redução energética *voltage scaling*. Resultados mostram que a topologia *Approximate XNOR Adder 3 (AXA3)* é a que apresenta o menor consumo de energia dentre as topologias avaliadas, também apresentando o menor erro lógico na aproximação. Considerando o atraso crítico, a topologia *Buffer Approximate Adder (BXFA)* permite reduzir em até 47,7% o atraso comparado ao somador completo *Mirror Adder*. Estas duas topologias apresentaram vantagens quando observado o PDP e também foram as que apresentaram maiores ganhos na adoção conjunta da técnica de *voltage scaling*.

**Index Terms**—Nanotecnologia, Circuitos Aritméticos, Somadores, Computação Aproximada.

## I. INTRODUÇÃO

A Computação aproximada (*AC - approximate computing*) é uma área de pesquisa emergente, capaz de trazer bons resultados em economia de energia [1]. Ela se aproveita da noção que muitas aplicações não têm precisão como principal

Este trabalho é desenvolvido no grupo de pesquisa Embedded Computing Laboratory - ECL da Universidade Federal de Santa Catarina - UFSC. O projeto é parcialmente financiado pelo PIBIC UFSC, pelo CNPq e pela CAPES

Pedro Henrique Aquino Silva é atualmente aluno de graduação em Ciência da Computação na Universidade Federal de Santa Catarina, Brasil.

Cristina Meinhardt é doutora e mestre em Ciência da Computação pela Universidade Federal do Rio Grande do SUL - UFGRS. Atualmente, é professora do Instituto de Informática e Estatística, da Universidade Federal de Santa Catarina - UFSC.

requisito e podem trabalhar com resultados parciais ou aproximados.

Nos últimos anos, AC tem sido explorada em desenvolvimento de *hardware* e *software* em diferentes contextos, incluindo aplicações de vídeo e áudio, dispositivos de *Internet of Things* (IoT), ambientes redundantes, visão computacional, *machine learning* e redes de sensores, por exemplo [2]. Algumas oportunidade para AC são aplicações nas quais [3] [4]:

- 1) há processamento de dados do mundo real com degradação, tais como os sinais provenientes de sensores, por exemplo em aplicações de IoT;
- 2) o resultado final será percebido pelos sentidos humanos, incluindo muitos problemas de inferência e visão computacional; e
- 3) são adotados algoritmos inerentemente imprecisos, em que o conceito de resultado correto é substituído por um conjunto de resultados aceitáveis, como reconhecimento, análise de dados e *machine learning*.

Existem muitas aplicações conhecidas como tolerantes a erros que permitem explorar a computação aproximada para ampliar o espaço de projeto, compensando os resultados com métricas de qualidade. Um exemplo de aplicação de AC é a codificação de vídeo. Devido às limitações da capacidade de percepção visual humana, é possível admitir perdas de qualidade da codificação multimídia sem afetar a satisfação do usuário [5]. Outros exemplos neste mesmo contexto são aplicações que envolvem o sistema auditivo e o sistema visual de seres humanos, assim como sensores tradicionais como de temperatura e umidade em ambientes não críticos.

Uma das maiores motivações para o desenvolvimento de soluções de AC em *hardware* é a crescente demanda por projetos de baixa dissipação de potência [6]. Atualmente, em projetos de nanotecnologia, a duração de bateria é um fator importante a ser considerado. Muitas aplicações envolvem um grande número de operações aritméticas, explorando intensamente os módulos de adição. A operação de adição é a principal função aritmética em sistemas computacionais e a base dos blocos aritméticos mais comumente utilizados. Portanto, um sistema digital tem o somador completo de 1 bit, também chamado de *full adder* (FA), como um dos mais críticos blocos de uma unidade aritmética. O desempenho de uma célula do somador completo é um ponto vital a ser melhorado para atingir operações rápidas de baixo consumo energético no bloco aritmético [7].

A principal contribuição deste trabalho é prover uma análise a nível elétrico de circuitos somadores completos aproximados, verificando como estes comportam-se em um ambiente específico comparados a somadores exatos convencionais, e analisando desempenho, potência e a relação entre estes dois fatores através da métrica *Power-Delay Product* (PDP). Esta caracterização elétrica é feita para cada um dos circuitos estudados em diferentes níveis de tensão, tanto em tensão nominal, quanto em tensões *near-threshold*, através da técnica tradicional de redução de tensão *voltage scaling* [8]. Uma vez que o maior foco de AC é a redução do consumo energético e a técnica de *voltage scaling* é uma das mais tradicionais dentre os métodos de redução de potência dissipada é importante para projetistas de *hardware* conhecer os resultados conjuntos destas técnicas em somadores completos exatos e aproximados.

Pela literatura, muitos trabalhos exploram computação aproximada em blocos aritméticos em nível arquitetural ou *Register-Transfer Level* (RTL) [4] [6] [9]. Contudo, poucas pesquisas investigam técnicas de AC aplicadas a nível de transistores no projeto de circuitos, como no projeto de somadores completos. A apresentação de várias possibilidades de circuitos somadores aproximados é discutida em [10], com a adoção destes somadores em uma aplicação. Entretanto, [10] não detalha a análise de projeto de cada circuito individualmente. Logo, este trabalho oferece uma comparação de características de projeto de um conjunto de circuitos somadores aproximados, evidenciando os efeitos e características elétricas em uma tecnologia nanométrica. Outro aspecto interessante de observar na literatura atual, é que não encontramos trabalhos, até o momento, que avaliem a nível elétrico os circuitos somadores completos que adotem aproximação conjuntamente com a tradicional técnica de *voltage scaling* [8].

O conjunto de informações apresentado neste trabalho contribui para que projetistas possam entender melhor as alternativas para *full adders* em computação aproximada, e escolher a célula mais apropriada para aplicações específicas.

Inicialmente, este trabalho apresenta na Seção II uma breve explicação sobre as diferenças tecnológicas entre dispositivos *bulk* CMOS e dispositivos FinFET. A tecnologia FinFET é a principal alternativa adotada em projetos contemporâneos de alto desempenho, e em breve, será cada vez mais adotada no desenvolvimento de novos circuitos para diferentes aplicações. Neste trabalho, exploramos um modelo preditivo para a tecnologia FinFET de 7nm para obtermos os resultados de tempos críticos e energia através de simulação elétrica. A Seção III detalha os circuitos de somadores completos com aproximação explorados no trabalho, apresentando os diagramas dos circuitos e uma breve discussão do comportamento lógico destes somadores aproximados. A metodologia adotada para obter os dados de energia e atraso dos circuitos e permitir a comparação da caracterização elétrica destes circuitos é descrita na Seção IV. As análises deste trabalho são divididas em duas partes: 1) Análise Nominal, apresentada na Seção V, observa o comportamento nominal destes circuitos, ou seja, como os circuitos operando na tensão de referência para a tecnologia adotada; e 2) Análise da técnica *Voltage Scaling*, onde os circuitos aproximados são avaliados e comparados com a operação em diferentes perfis de tensão, apresentada na

Seção VI. Finalmente, as principais conclusões e as possíveis continuidades do trabalho são discutidas na Seção VIII.

## II. TECNOLOGIA FINFET

A tecnologia CMOS *bulk* clássica, ou transistor planar, tem sido utilizada na fabricação de circuitos integrados durante várias décadas, tendo o tamanho dos transistores diminuído constantemente ao longo dos anos. Transistores MOSFET planares requerem alta dopagem de canal para controlar os efeitos de canal curto, que refletem na degradação da mobilidade e aumento da corrente de fuga. Para superar esses obstáculos, MOSFETs de múltiplas portas foram adotados para continuar a evolução tecnológica porque permitem um melhor controle dos efeitos de canal curto, menor corrente de fuga e maior rendimento nos processos de alta densidade [11].

Um dispositivo *multigate* ou transistor de efeito de campo com múltiplas portas (*multigate device or multiple gate field-effect transistor - MuGFET*) refere-se a um MOSFET que incorpora mais do que um terminal de gate em um único dispositivo. Em dispositivos *multigate*, o canal é rodeado por várias portas em várias superfícies. Estes dispositivos fornecem um melhor controle elétrico sobre o canal, permitindo uma redução mais eficaz da corrente de fuga e um controle maior da corrente dinâmica [12]. Estas vantagens traduzem-se em menor consumo de energia e melhor desempenho dos dispositivos.

As múltiplas portas podem ser controladas por um único eletrodo, agindo eletricamente como uma única porta, ou por eletrodos de porta independentes. Muitos tipos de transistores *multigate* podem ser encontrados na literatura, por exemplo em [13]–[16]. Em geral, estes podem ser diferenciados e classificados em termos de arquitetura (planar versus não-planar) e o número de portas (2, 3 ou 4). As principais descobertas sobre dispositivos *multigate* MOSFET aconteceram por volta dos anos 80, com Hisamoto demonstrando um dispositivo antecessor ao FinFET, sendo o primeiro transistor de porta dupla, em tecnologia de silício com *bulk*, chamado DELTA [16].

FinFETs são transistores *multigate* não planares cuja principal característica é o canal condutor ser envolto por uma fina estrutura de silício, chamada de "fin", que forma o corpo do dispositivo [13]. O tamanho do *fin* em um dispositivo FinFET (medido na direção da fonte para o dreno) determina o comprimento do canal efetivo do dispositivo.

A Fig. 1 apresenta uma comparação entre um transistor planar e um FinFET, mostrando a estrutura fin. As duas portas dos FinFETs permitem fornecer controle eficaz dos efeitos de canal curto, sem necessitar reduzir drasticamente a espessura do óxido de gate e aumentando a densidade de dopagem do canal [14]. A fabricação de um FinFET é muito semelhante ao processo de fabricação de transistores CMOS planar tradicionais (*bulk*). Como resultado, embora vários ajustes de grande complexidade devam ser realizados, o processo de fabricação apresenta um certo grau de compatibilidade com a metodologia de concepção CMOS planar e com as técnicas de automação.

A estrutura básica de um FinFET é o fin vertical, mostrado na Fig.2, que consiste de uma difusão fonte-dreno, contornada

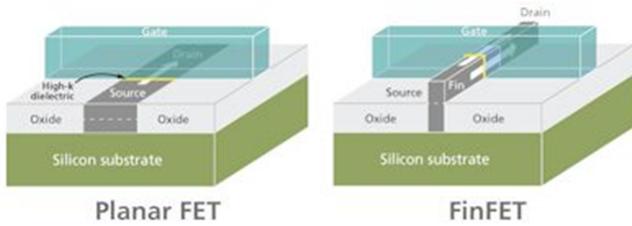


Figura 1: Diferença entre dispositivos CMOS planar e FinFETs

pele gate, separados pelo óxido de gate. A Fig. 3 apresenta a vista superior e em corte-transversal de um FinFET. As dimensões físicas do fin são o comprimento do gate  $L_G$ , a altura  $H_{FIN}$ , a espessura do óxido  $T_{OX}$  isolante entre gate e fin, e a largura do fin  $W_{FIN}$ , também referenciado em algumas literaturas como espessura do fin  $T_{SI}$ . Um transistor FinFET com um único fin implementa um dispositivo com largura de canal  $W_{MIN}$ . Para aumentar a largura de canal é necessário conectar um número de fins  $N_{FIN}$  em paralelo com um lado comum de difusão. O número de fins é sempre inteiro, assim, a largura de canal em FinFETs é quantizada em múltiplos de  $W_{MIN}$  [17].

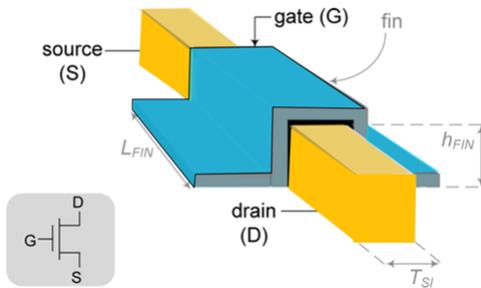


Figura 2: FinFET de 3 Terminais [18]

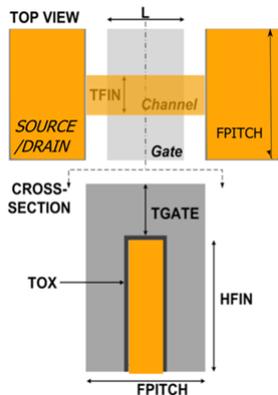


Figura 3: FinFET de 3 Terminais [19]

Modelos preditivos são de suma importância no projeto de circuitos e suas otimizações. Com o avanço da tecnologias, e a tendência da substituição da tecnologia CMOS planar pela tecnologia FinFET para nodos abaixo de 22nm, é importante considerar modelos preditivos para esta nova tecnologia.

Principalmente para modelar adequadamente as diferenças da tecnologia FinFET tais como novas capacitâncias, maior resistência, largura de transistor quantizada, fator 3D e baixa mobilidade [19]. Transistores multigate vem sendo estudados através de ferramentas de simulação 3D de dispositivos [20]–[23]. Um dos principais modelos verificados com TCAD é o BSIM-CMG [21], [24]. Este modelo foi desenvolvido em Verilog-A pelo UC Berkeley BSIM Group e incorpora nas características dos dispositivos os efeitos das estruturas 3D, os efeitos QME (*Quantum Mechanical Effects*) e os efeitos de canal curto. Com este modelo é possível modelar diferentes estruturas de dispositivos multigate, tais como double-gate, tri-gate e gate-all-around FETs. A Arizona State University, em parceria com ARM, liberou o acesso a um kit de desenvolvimento (*Process Design Kit PDK* de 7nm na tecnologia FinFET, denominado Arizona State Predictive PDK (ASAP7) [25], o único PDK de 7 nm de código aberto disponível para uso acadêmico. Os modelos elétricos disponibilizados neste PDF são adotados neste trabalho por serem os mais realistas em relação às tecnologias atuais. Os principais parâmetros geométricos desta tecnologia são apresentados na Tabela I.

Tabela I: Principais Parâmetros da tecnologia 7nm ASAP [25]

Parâmetro	7nm
Tensão Nominal	0.7V
Comprimento do Gate (LG)	21nm
Largura do Fin (WFIN)	6.5nm
Altura do Fin (HFIN)	32nm
Espessura do Óxido (TOX)	2.1nm

Embora a tecnologia FinFET apresente vantagens tecnológicas, ela também introduz uma variedade de novos desafios. FinFETs demandam uma acurada modelagem das suas resistências e capacitâncias, além de boas ferramentas para extração RC, principalmente para evitar a má caracterização dos dispositivos, degradando o desempenho dos circuitos. A capacitância de gate de FinFETs aumenta quando comparada a capacitância de transistores CMOS planar e isto impacta as metodologias de análise de *timing* estáticas (STA). Além disso, o aumento nos efeitos de Miller impactam na confiabilidade dos circuitos e reforçam a necessidade de análises robustas e precisas de integridade de potência e *timing* [26].

### III. SOMADORES COMPLETOS

Uma parte muito importante para o funcionamento de qualquer sistema eletrônico é o circuito somador, um circuito digital que implementa a soma de bits. A função da célula somadora em si não parece muito complexa, mas se for levada em conta quantas vezes o processador precisa acessar esse tipo de circuito, é possível perceber o quão importante ela é para o funcionamento do sistema.

O somador é base de outras operações aritméticas, tais como subtração, multiplicação e divisão e por isso, é a principal célula da Unidade Lógica e Aritmética (ULA) de sistemas computacionais.

Um somador completo realiza a soma de 1 bit. É necessário relacionar este somador com outros, para, assim, poder realizar a soma de quantos bits forem necessários. Para

isso, é adicionada mais uma entrada no circuito do somador completo além dos números que serão somados. Esta entrada é responsável por receber o bit de *carry out* do bit somador menos significativo, e é chamada de *carry in* (vem um). Sendo assim, o somador completo é formado por três entradas e duas saídas. A tabela verdade do somador completo é representada na coluna EXATO da Tabela II.

A partir da tabela verdade, é possível perceber que agora as funções são mais complexas para representar as saídas. Para representar a saída da Soma (*S*), a seguinte função booleana é utilizada, onde  $\oplus$  representa a função lógica XOR.

$$S = A \oplus B \oplus Cin$$

E a saída *carry out* é descrita pela seguinte função booleana, onde  $\cdot$  representa a função lógica AND e  $+$  representa a função lógica OR.

$$Cout = (A \cdot B) + (A \oplus B) \cdot Cin$$

Existem diferentes tipos de arranjos de transistores que implementam circuitos somadores de 1 bit. Cada uma das abordagens tem vantagens e desvantagens bem exploradas em relação à área, atraso e potência.

#### A. Somadores Aproximados

Neste trabalho, oito diferentes topologias de somadores completos foram escolhidas e analisadas. Duas dessas são FAs exatos, o *Exact Mirror Adder (EMA)*, e o *Exact XNOR Adder (EXA)*, respectivamente mostrados nas Figuras 4 e 5.

A arquitetura EMA CMOS é considerada a mais tradicional, e foi escolhida como base de comparação entre as topologias estudadas. É composta de 24 transistores, estruturados em redes *pull-up* e *pull-down*, que são logicamente complementares. A maior vantagem deste circuito é o fornecimento de boa condutibilidade, e muito boa robustez quando se trabalha com tecnologias muito reduzidas e baixas tensões. Contudo, as maiores desvantagens do EMA são a alta capacitância das entradas e o impacto da rede *pull-up* que faz com que o circuito seja mais lento [27].

Por outro lado, o EXA faz uso de lógica de transistores de passagem (*PTL - Pass-Transistor Logic*), reduzindo o número de transistores para 10 dispositivos no total. Este circuito foi escolhido como exemplo de circuito de baixa potência e eficiência em área para *full adders* [28] [29].

As aproximações de FA exploram o relaxamento da precisão numérica, e foram projetados com redução da complexidade lógica, de modo a reduzir o número de transistores e a energia consumida. Logo, eles apresentam diferenças em suas tabelas verdade, como mostrado na Tabela II, juntamente com a *Total Error Distance (TED)*. A ED é calculada pela diferença absoluta entre a saída exata e a saída aproximada e é utilizada como estimativa de mérito para comparar os FAs aproximados. Para um circuito, é importante observarmos este erro para todas as possíveis vetores de combinações de entrada, definindo o ED Total (TED) como a contagem de todos os erros registrados em cada saída da tabela verdade.

Estas arquiteturas exploram três aproximações baseadas no EMA: *Simplified Mirror Adder SMA*, *Approximate Mirror*

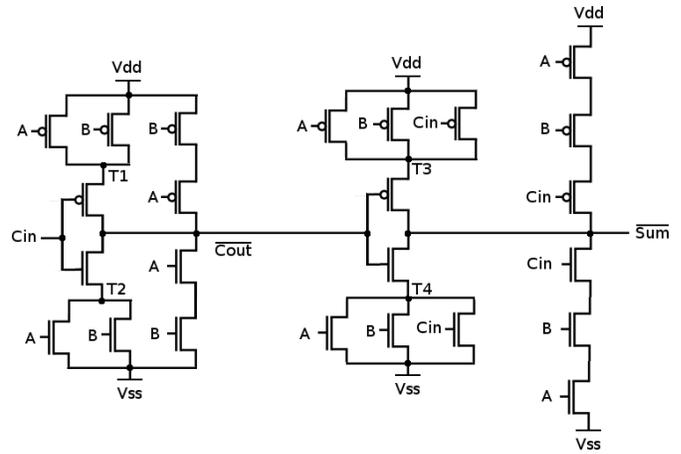


Figura 4: *Exact Mirror Adder (EMA)*.

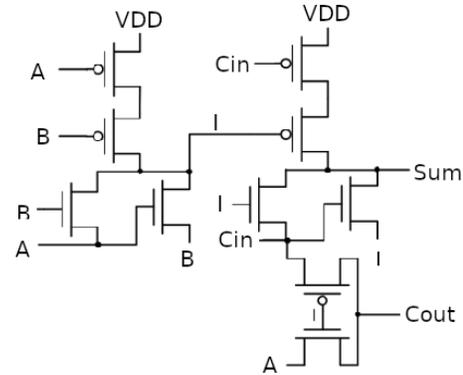


Figura 5: *Exact XNOR Adder (EXA)*.

Tabela II: Tabela Verdade para os Somadores Completos Exatos e para as Aproximações avaliadas.

Entrada	EXA	SMA	AMA1	AMA2	AXA2	AXA3	BXFA
A B Cin	S Cout						
0 0 0	0 0	0 0	1 0	0 0	1 0	0 0	0 0
0 0 1	1 0	1 0	1 0	1 0	1 0	1 0	0 0
0 1 0	1 0	0 1	0 1	0 0	0 0	0 0	0 1
0 1 1	0 1	0 1	0 1	1 0	0 1	0 1	0 1
1 0 0	1 0	0 0	1 0	0 1	0 0	0 0	1 0
1 0 1	0 1	0 1	0 1	0 1	0 1	0 1	1 0
1 1 0	0 1	0 1	0 1	0 1	1 1	0 1	1 1
1 1 1	1 1	1 1	0 1	1 1	1 1	1 1	1 1
TED	- -	2 1	3 1	3 2	4 0	2 0	4 2

Adder 1 AMA1 e Approximate Mirror Adder 2 AMA2 dadas nas Figuras (a), (b) e (c) respectivamente. Também são exploradas duas aproximações do circuito EXA: Approximate XNOR Adder 2 AXA2 e Approximate XNOR Adder 3 AXA3, cujo circuitos são mostrados nas Figuras (a) e (b) respectivamente. Por fim, um FA aproximado simples utilizando *buffers* (BXFA) é avaliado, no qual a saída *Sum* é definida pela propagação da entrada A, assim como a saída *Carry-out* segue a entrada B. A descrição deste circuito é mostrada com inversores na Figura 8.

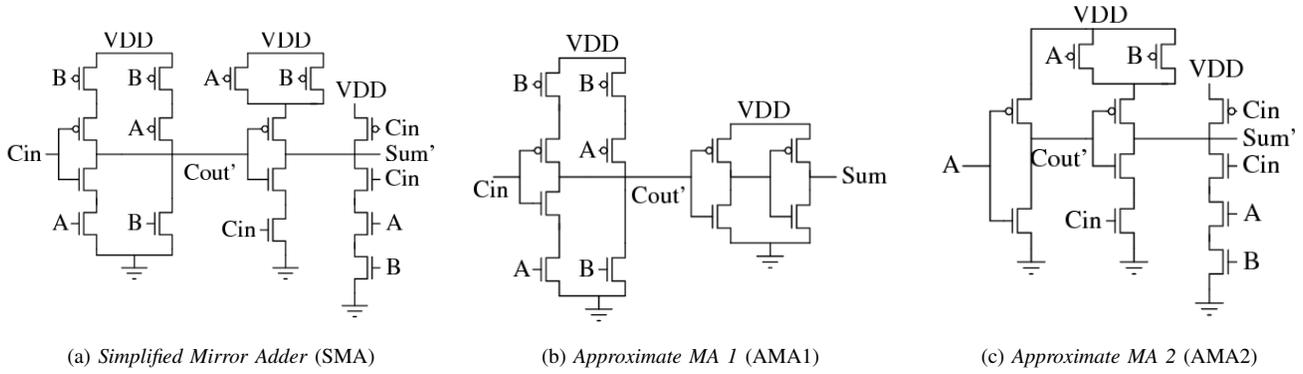


Figura 6: FAs aproximados baseados no Mirror Adder

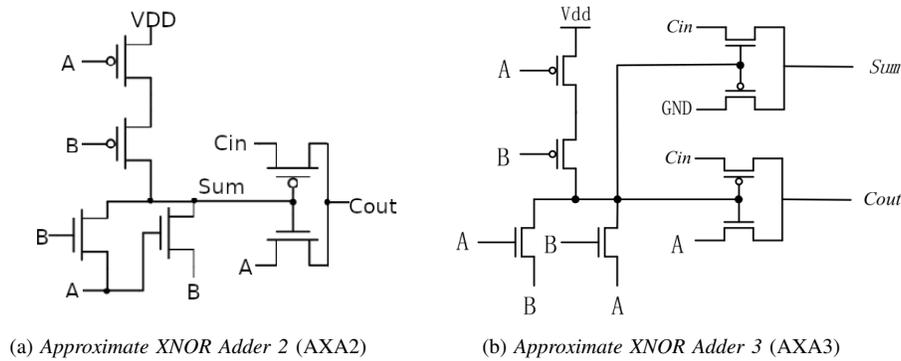


Figura 7: FAs aproximados baseados em XOR/XNOR

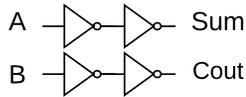


Figura 8: FA com aproximação por buffers (BXFA).

### B. Análise do Erro das Funções Aproximadas

Embora a computação aproximada permita explorar circuitos na busca de topologias com menor número de dispositivos e menor consumo de energia, as aproximações inseridas provocam alterações no comportamento lógico esperado das funções. No caso deste trabalho, as aproximações estudadas provocam diferenças entre a função soma e propagação de *carry* esperado, obtida com os circuitos exatos. Dependendo da aplicação, estes erros podem ser tolerados e nem serem percebidos pelos usuários finais. Como por exemplo, em aplicações de imagens, onde os seres humanos não são capazes de detectar com exatidão todas as faixas de cores possíveis de representação nos sistemas computacionais. A observação da figura de mérito distância de erro total permite ter estimativas da imprecisão gerada pelos circuitos aproximados.

Pela métrica TED, pode-se averiguar, por exemplo, que o circuito com menor desvio da função exata é a topologia AXA3, cujo TED acumula somente dois erros na saída de

soma, não propagando incorreções na saída *Carry-Out*. A topologia SMA também apresenta somente dois erros na saída soma, entretanto propaga incorretamente o *carry-out* quando recebe o vetor de entrada "010". Também destaca-se que o AXA2 e o AMA1 possuem ambos quatro erros absolutos em suas tabelas verdade.

Os vetores de entrada que geram falha quando comparados ao esperado nas implementações exatas de FA são descritos na Tabela III. Nesta Tabela, os erros são contados para qualquer saída ou ambas, o que resulta em uma contagem mais simples de erros em comparação com a métrica TED, mas que permite observar que as simplificações que trazem maior possibilidade de erro são a AXA2 e BXFA, enquanto o menor número de erros é obtido no SMA e no AXA3, que apresentam comportamento diferente somente para dois vetores de entrada.

Tabela III: Contagem de transistores e erros para cada somador aproximado

Topologia	No. de Transistores	Vetores de falha	No. de Erros
SMA	16	010, 100	2
AMA1	11	000, 010, 111	3
AMA2	11	010, 011, 100	3
AXA2	6	000, 001, 100, 110	4
AXA3	8	010, 100	2
BXFA	8	001, 010, 101, 110	4

#### IV. MATERIAL E MÉTODOS

O desenvolvimento deste trabalho iniciou pelo estudo e descrição do módulo somador completo (*full adder*) e sua utilização em computação aproximada. Como a lógica de um circuito diz respeito ao arranjo dos transistores que o compõem e isso influencia na qualidade do sinal de saída, bem como no consumo de energia e no atraso crítico, foram estudadas arquiteturas de somadores logicamente simplificadas a partir da inserção de erros em suas tabelas verdade, aplicando assim o conceito de computação aproximada.

A etapa de validação lógica foi realizada para todos os circuitos avaliados neste trabalho e teve como objetivo comprovar a correteza da implementação e comportamento dos circuitos elétricos no simulador, baseado na tabela verdade para a lógica de cada somador, como mostrado na Tabela II.

Partiu-se para o estudo do comportamento elétrico desses somadores aproximados, com foco em redução de potência. As atividades foram então divididas em:

- 1) Caracterização elétrica nominal para a tecnologia *FinFET*;
- 2) Caracterização elétrica com aplicação de técnicas de redução de tensão.

Todas as simulações foram feitas usando os modelos para tecnologia FinFET fornecidos pela *Arizona State University*, através do ASAP7 PDK com nó de tecnologia de 7nm, com os parâmetros apresentados na Tabela I [25]. Visando a redução energética, todos os circuitos foram projetados com tamanho mínimo para os transistores FinFET, ou seja, com um único fin. Para a atividade de caracterização elétrica, os circuitos foram descritos em nível elétrico utilizando a ferramenta *Synopsys HSPICE*. São utilizados quatro inversores de carga para cada entrada para tornar o sinal das fontes de entrada mais realísticos, com inclinações de transição próximas as encontradas durante os níveis lógicos em circuitos FinFET. A carga de saída foi dimensionada usando (*fan-out-of-4*), ou seja, simulando que o somador tem conectado a suas saídas Soma e *Carry-out* um circuito com tamanho quatro vezes superior a porta lógica mínima Inversor, de modo a emular um cenário mais realístico.

##### A. Caracterização elétrica nominal para a tecnologia FinFET

A etapa da obtenção das características elétricas teve o foco em extrair dados relacionados ao atraso crítico das portas lógicas para a execução de uma operação, consumo de energia e potência total dissipada. Com esses três dados foi possível realizar o cálculo do *Power Delay Product (PDP)*, a relação entre a potência total dissipada e o atraso crítico, métrica essa que define o consumo de energia de uma porta lógica para realizar uma operação.

O experimento consistiu em realizar análise transiente para extrair dados de atraso para todos os possíveis casos de atraso das funções avaliadas, determinando como atraso crítico o maior valor de atraso encontrado. A dissipação de potência total considerada neste trabalho é definida em função da energia consumida durante as transições realizadas para mensuração dos atrasos. Dada a energia consumida, a potência é calculada considerando o tempo de simulação e a tensão adotada [30].

##### B. Caracterização elétrica com aplicação de técnicas de redução de tensão

A segunda parte das atividades consistiu na aplicação da técnica de *voltage scaling*, ou seja, na avaliação de diferentes cenários onde aplica-se a redução da tensão de operação dos circuitos de forma gradual. Este experimento tem como objetivo identificar o melhor ponto de operação para atingir menor consumo energético.

O consumo de energia poderia ser separado em três fatores [8]:

- consumo de energia estática: o consumo de energia estática ocorre principalmente devido à corrente de fuga através do transistor MOS.
- energia de curto-circuito: o consumo de energia em curto-circuito ocorre quando a fonte de alimentação (VDD) e a terra (GND) estão diretamente conectadas. Por exemplo, no inversor complementar metal-óxido-semicondutor (CMOS), a corrente de curto-circuito ocorre quando os transistores PMOS e NMOS estão ambos no modo condutor.
- energia capacitiva: é o consumo devido a carga, a descarga de cargas, e a capacitâncias parasitárias que produzem o consumo de energia capacitiva, que [8] chama consumo dinâmico.

A técnica de *voltage scaling* [8] explora o conceito de reduzir a tensão de alimentação para algumas células, a fim de diminuir o consumo dinâmico de energia. Isto pode ser observado considerando fatores que influenciam a potência dinâmica como mostra a Equação 1. Assim, tem-se que o consumo de energia capacitiva (potência dinâmica) tem uma relação quadrática com a tensão de alimentação  $V$ .

$$P_{dinâmica} = \alpha \cdot C \cdot f \cdot V^2 \quad (1)$$

onde:

$\alpha$  é a atividade de comutação

$C$  é a capacitância da carga

$f$  é a frequência de operação

$V$  é a tensão de alimentação.

Além disso, tanto o consumo de energia em curto-circuito quanto o consumo de energia capacitiva aumentam com o uso de tensão de alimentação mais alta. Por este motivo, a redução do nível de tensão diminui o consumo global de energia. A penalidade da técnica de *voltage scaling* é a degradação do desempenho do circuito, aumentando os atrasos críticos. Por isso, é relevante observar a redução de potência e o impacto nas métricas de desempenho, para definir bons pontos de operação para o circuito.

Neste trabalho, aplicamos *Voltage Scaling* iniciando com a tensão nominal da tecnologia de 0,7V e reduzindo a tensão de operação dos circuitos ao passo de 0,1V, até que os níveis de ruído sejam altos demais para o funcionamento correto do circuito ou o atraso grande demais para que a célula seja utilizada em uma aplicação. Nessa tecnologia, a tensão de *threshold* é de aproximadamente 0,3V; portanto, define-se *near-threshold* os resultados obtidos na operação entre 0,3 e 0,2V.

## V. ANÁLISE DA OPERAÇÃO EM TENSÃO NOMINAL

O experimento iniciou observando as características de operação em tensão nominal, a qual para esta tecnologia é de 0,7V. Os resultados de atraso crítico, potência e PDP para todas as topologias são apresentados na Tabela IV. As linhas referentes as topologias exatas, EMA e EXA, são destacadas nesta tabela com um tom de cinza. Estes resultados permitem uma comparação das técnicas de aproximação exploradas e servem de referência também para os resultados da avaliação considerando *voltage scaling*.

As técnicas de aproximação são exploradas neste trabalho com o objetivo principal de reduzir a potência dissipada. É possível observar na Figura 9 que a melhor alternativa para consumo de energia é a topologia AXA3, que reduz em 82,7% a potência em relação a topologia exata EXA. Em relação ao somador exato SMA, a topologia EXA reduz a potência em 64,7%, e as topologias AMA2 e BXFA em 45,8%. Estes resultados demonstram que o uso de topologias baseadas em transistores de passagem como as exploradas nos circuitos EXA, AXA2 e AXA3 são boas candidatas para projetos com alvo em redução energética. Além disso, para aplicações que visam eficiência energética, a topologia AXA3 além de apresentar os melhores resultados de potência, também é a que apresenta a menor distância de erro total, reduzindo o impacto da aproximação na precisão das aplicações.

Tabela IV: Características de operação em tensão nominal de 0,7V

Topologia	Atraso crítico (ps)	Potência (nW)	PDP (aJ)
EMA	12,28	772,15	9,48
SMA	13,07	539,93	7,06
AMA1	9,45	659,75	6,24
AMA2	8,72	418,31	3,65
EXA	52,56	271,92	14,29
AXA2	57,64	128,18	7,39
AXA3	40,49	60,90	2,47
BXFA	6,42	418,31	1,79

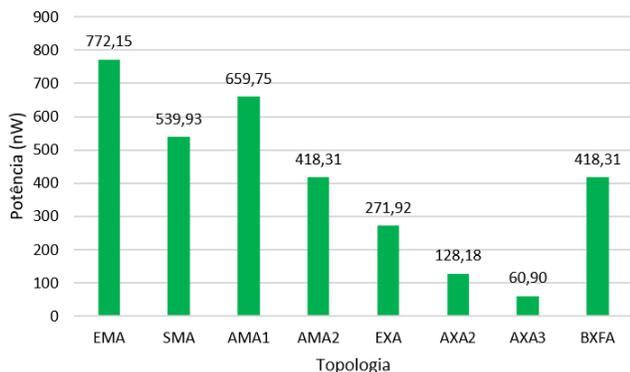


Figura 9: Comparação quanto a potência (nW).

Entretanto, como mostra a Figura 10, estas topologias apresentam os piores resultados de atraso crítico, ou seja, são as que apresentam maior impacto no desempenho do circuito de aplicação. Comparado com a topologia EMA, os somadores EXA e AXA2 aumentam o atraso crítico em mais de 4x, enquanto a topologia AXA3 impacta em 3x o atraso. Dentre

todas as topologias aproximadas avaliadas, a arquitetura BXFA apresenta o melhor resultado de atraso crítico, reduzindo o atraso em 47,7% comparada a topologia EMA.

Para concluirmos a avaliação em tensão nominal, a figura de mérito PDP permite relacionarmos os ganhos e impactos no atraso e na potência conjuntamente, provendo informações relevantes para projetos que visam a redução energética, mas com bom compromisso com o desempenho. Observando os resultados de PDP destacados na Figura 11, verifica-se que os melhores circuitos para a avaliação individual de potência (AXA3) e de atraso crítico (BXFA) também são os melhores na avaliação de PDP, demonstrando que os ganhos obtidos compensam as perdas inseridas nestas topologias.

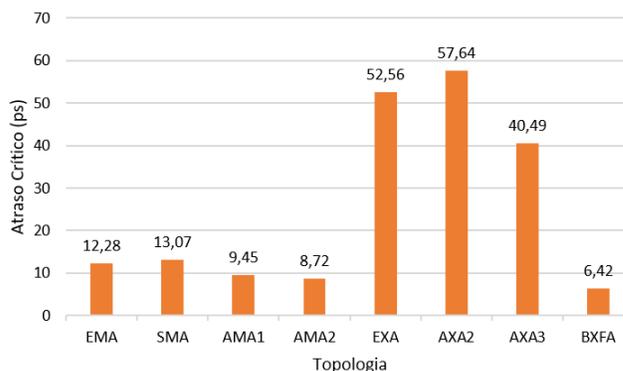


Figura 10: Comparação quanto ao atraso crítico (ps).

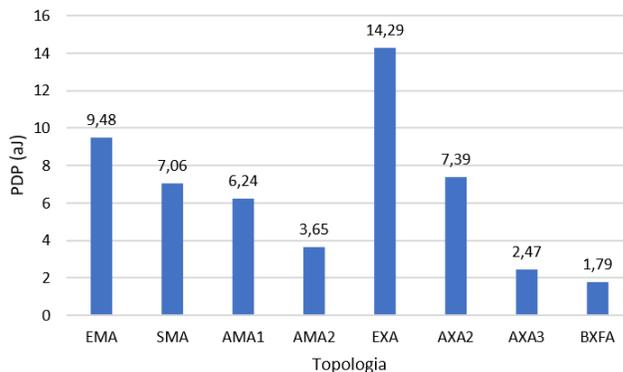


Figura 11: Comparação quanto PDP (aJ).

## VI. EFEITOS DA TÉCNICA DE VOLTAGE SCALING

A avaliação de diferentes cenários de tensão de operação para os somadores aproximados, realizando a redução de tensão gradual, permite observar que as topologias apresentaram vantagens e desvantagens, como mostrado nas Tabelas V e VI. As linhas referentes as topologias exatas, EMA e EXA, são destacadas nestas tabelas com um tom de cinza. A melhora mais significativa foi, evidentemente, na potência dissipada, como mostra a Tabela VI, uma vez que combinaram-se os ganhos do uso de FAs aproximados aos oferecidos pela técnica de *voltage scaling*.

A princípio, todos os somadores aparentam ser bons candidatos a redução de tensão, com redução média de 34,8%

Tabela V: Efeitos da técnica *Voltage Scaling* no Atraso Crítico (ps)

Topology	0,7 V	0,6 V	0,5 V	0,4 V	0,3 V
EMA	12,28	13,80	24,01	42,51	122,80
SMA	13,07	14,34	19,46	35,28	117,30
AMA1	9,45	11,74	16,27	29,69	98,76
AMA2	8,72	9,52	13,22	25,64	81,62
EXA	52,60	104,80	220,50	495,20	714,20
AXA2	57,40	116,30	248,50	546,20	828,40
AXA3	40,49	84,25	188,30	412,10	418,00
BXFA	6,42	8,14	10,72	23,04	63,25

Tabela VI: Efeito de *voltage scaling* na potência (nW)

Topologia	0,7 V	0,6 V	0,5 V	0,4 V	0,3 V
EMA	772,15	509,54	334,19	197,54	105,58
SMA	539,93	357,10	231,50	136,73	71,85
AMA1	659,75	435,60	271,08	159,93	84,95
AMA2	418,31	263,40	171,83	102,30	52,95
EXA	271,92	175,02	109,23	61,29	31,66
AXA2	128,18	85,90	57,25	33,36	17,98
AXA3	60,90	40,32	27,45	16,40	8,89
BXFA	279,53	176,25	114,50	66,67	35,20

em dissipação para todas as topologias quando passando de 0,7V para 0,6V. A redução na potência em média obedeceu um comportamento similar para cada passo de tensão avaliado, ou seja, a cada redução de 0,1V, em geral, as topologias reduziram em média 39%, sendo as maiores reduções observadas para as operações em tensões abaixo de 0,5V. Em operação *near-threshold* de 0,3V, a potência diminuiu 86,8% em média, sendo menor na topologia AXA3, com valor absoluto de 8,98nW. Apesar de o BXFA não se destacar em termos de redução de potência, ele apresenta o melhor resultado quanto ao atraso crítico em tensões *near-threshold*. Percebe-se, portanto, que a aplicação de *voltage scaling* obteve sucesso nos resultados em economia energética quando utilizada com estas células somadoras AC.

#### A. Desvantagens

O impacto mais negativo de aplicar a técnica de *voltage scaling* é a degradação do atraso crítico para todos os circuitos estudados. As arquiteturas baseadas em XNOR já são projetadas com otimizações para operação de baixo consumo energético, e apresentam atraso consideravelmente maior que o EMA e somadores nele inspirados, mesmo em tensão nominal. Estas topologias também tiveram o pior desempenho na análise de temporização, como mostrado na Tabela V. De modo geral, os somadores estudados são, em média, 10,86x mais lentos em operação *near-threshold* de 0,3V se comparados aos resultados em tensão nominal, com o pior caso encontrado no AXA2, que tem atraso 14,37x maior.

#### B. Observando a potência e o atraso

Dadas os efeitos discutidos do *voltage scaling*, *Power-Delay Product* será utilizado como métrica para estabelecer uma relação entre os ganhos na potência e a degradação do atraso crítico. Nota-se que todos os circuitos tiveram aumento no PDP quando comparamos suas operações em tensão nominal e *near-threshold*, particularmente em tensão de 0,3V. Os FAs baseados em XNOR obtiveram incremento em todas as

etapas até 0,4V antes de decaírem, entretanto ainda mantendo resultados com valor final maior que o encontrado em tensão nominal.

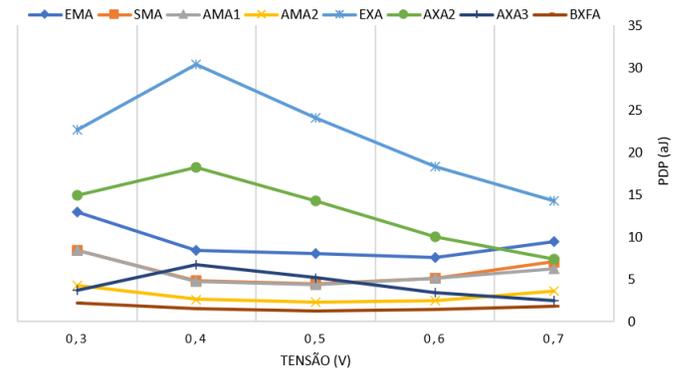


Figura 12: Efeitos no PDP da técnica *voltage scaling* (aJ).

A melhor alternativa considerando tanto potência como atraso é o BXFA, que alcança os melhores resultados em todos os casos avaliados. Esta topologia mantém o PDP praticamente constante independentemente de tensão aplicada, demonstrando que o aumento no atraso crítico é proporcional a redução na energia para esta topologia. Portanto, apesar de seu TED elevado, o BXFA torna-se uma abordagem interessante para aplicações que requerem equilíbrio entre potência e atraso.

A segunda melhor opção observando o PDP é a topologia AMA2 operando em 0,5V, com consumo de 2,27aJ. Contudo, para aplicações que considerem maior mérito em TED, redução de potência e PDP, uma boa solução poderia ser explorar o circuito AXA3 em tensão nominal ou 0,3V (menor potência dissipada, mas alto atraso).

No geral, o PDP demonstra que a operação em tensões *near-threshold* (abaixo de 0,5V) pode introduzir alta degradação devido ao incremento significativo no atraso destes FAs. De fato, os piores resultados dentre todos os somadores avaliados foi encontrado para a topologia exata EXA. Entre os somadores aproximados, a arquitetura AXA2 seguiu o comportamento da arquitetura exata (EXA), tendo o pior resultado entre as aproximações avaliadas, sendo o ponto crítico atingido na operação de 0,4V, que teve PDP de 18,22aJ.

O comportamento do PDP quando aplicada a técnica de *voltage scaling* fica mais evidente ao observar-se a Tabela VII, onde uma avaliação do ganho em PDP é realizada para cada etapa da redução de tensão e o valor anterior. Pode-se observar que as topologias baseadas no somador EMA e na técnica de *buffering* apresentam ganhos próximos a 20% com uma pequena redução na tensão de operação de 0,1V em relação a nominal. A redução progride em menor grau ao operar na tensão de 0,5V para estes somadores aproximados (SMA, AMA1, AMA2 e BXFA), sendo superior a 10% para a maioria deles. Contudo, este ponto de operação apresentou os melhores ganhos comparados a operação nominal, obtendo-se 15% de redução no PDP para a topologia EMA, 36% para topologia SMA, 29% para a topologia AMA1, 38% para a topologia AMA2 e 32% para a topologia BXFA. A normalização do PDP

também permite observar que as topologias baseadas em XOR e XNOR não apresentaram ganhos no PDP com a aplicação da técnica de *voltage scaling*, principalmente devido ao grande impacto no atraso crítico destes circuitos.

Tabela VII: Avaliação do ganho em PDP para cada passo do *voltage scaling* (%)

Topologia	0,6 V	0,5 V	0,4 V	0,3 V	Média
EMA	20,5	-6,4	-4,7	-54,4	-11,2
SMA	27,4	12,0	-7,1	-74,7	-10,6
AMA1	18,0	13,8	-7,7	-76,7	-13,1
AMA2	31,3	9,4	-15,5	-64,8	-9,9
EXA	-28,3	-31,3	-26,0	25,5	-15,0
AXA2	-35,2	-42,4	-28,1	18,2	-21,9
AXA3	-37,8	-52,1	-30,8	45,0	-18,9
BXFA	20,0	14,5	-25,1	-44,9	-8,91

## VII. DISCUSSÃO DA APLICABILIDADE

A considerável eficiência energética atingida com os somadores aproximados indica que aplicações tolerantes a erro podem aproveitar as vantagens destas topologias em diferentes cenários. Dentre as aplicações candidatas ao uso destes somadores, atualmente estamos desenvolvendo testes de impacto na qualidade de filtros Gaussianos para imagens, tendo como aplicação fim a detecção de bordas de imagens por exemplo. Processamento de imagens é uma das principais áreas de aplicação de somadores aproximados, sendo principalmente explorados a nível comportamental nos projetos de *hardwares* dedicados. Aplicando especificamente o somador aproximado BxFA, resultados preliminares para a síntese de um filtro gaussiano demonstraram uma redução na energia superior a 25%, com uma qualidade mensurada acima de 40 decibéis [31]. Estes resultados preliminares motivaram a continuação da avaliação, aplicando o filtro desenvolvido em um hardware dedicado para de detecção de bordas em imagens através do algoritmo Canny Edge [32]. Esta continuidade do trabalho permitirá avaliar a qualidade final das aproximações inseridas em uma aplicação fim muito empregada em várias áreas.

Outra aplicação alvo de nossos experimentos futuros é na síntese de árvores de decisão, onde resultados publicados recentemente mostraram vantagens na acurácia das árvores de decisão quando adotada aproximação [33]. Os próximos passos deste trabalho avaliarão as topologias consideradas neste trabalho na construção tanto de técnicas de processamento de imagem como em técnicas de construção de árvores de decisão, considerando qual topologia de somador aproximado tem melhor relação entre eficiência energética e qualidade da solução.

## VIII. CONCLUSÕES

Dado o papel crítico de circuitos somadores completos em várias aplicações tolerantes a erro, a utilização de aproximações é bastante interessante, tendo em vista a eficiência energética possível. Portanto, é essencial compreender o comportamento de diferentes topologias para somadores completos aproximados, em particular quando operando em conjunto à aplicação de outras técnicas de projeto otimizado de consumo energético, como *voltage scaling*.

A comparação entre as topologias aproximadas mostrou que a topologia AXA3 possui o menor erro comparado com a função exata do somador completo, não introduzindo nenhum erro na função de propagação do *carry* (Cout). Além disso, este circuito apresenta os melhores resultados para potência quando operando em tensão nominal, e embora possua um atraso crítico mais elevado que outras abordagens, quando observado o PDP, o AXA3 demonstrou que a redução energética compensa o atraso crítico, sendo uma das melhores alternativas. Ao explorar diferentes cenários de tensão de operação, observa-se um ganho maior ainda, próximo a 7x, com este circuito operando em *near-threshold* na tensão de 0,3V. Contudo, a operação em *near-threshold* provocou uma degradação superior a 10x no atraso crítico.

A adoção da técnica de *voltage scaling* apresentou melhora significativa em todas as topologias inspiradas no EMA em tensões de 0,6V a 0,4V. Dentre as topologias aproximadas baseadas no somador completo *Mirror-Adder*, merece destaque a arquitetura AMA2, com bons resultados de PDP e atrasos críticos em tensões reduzidas. A topologia BXFA aparece como a principal topologia considerando o atraso crítico, mesmo ao reduzir a tensão para faixas *near-threshold*. Estes bons resultados de atraso compensam os resultados intermediários em potência, e fazem com que o BXFA apresente sempre os melhores resultados de PDP para todos os cenários de tensão de operação avaliados.

Desta forma, este trabalho apresenta vantagens e desvantagens destas topologias aproximadas, provendo um grande conjunto de dados para projetistas de *hardware* realizarem a escolha da melhor topologia dada as restrições das aplicações a serem desenvolvidas, observando precisão, potência, atraso crítico e o comprometimento entre potência e atraso.

A continuidade deste trabalho avaliará os efeitos destes somadores aproximados em somadores de n-bits, em diferentes arquiteturas de somadores de n-bits. Também serão aplicados estes somadores em circuitos multiplicadores e unidades lógicas aritméticas. As análises destes somadores completos aproximados como componentes de módulos aritméticos maiores permitira explorar o impacto da aproximação na imprecisão e qualidade de diferentes aplicações.

## AGRADECIMENTOS

Os autores gostariam de agradecer ao suporte fornecido pelas entidades CNPq, CAPES e Programas de iniciação científica da Universidade Federal de Santa Catarina - UFSC PIBIC/PIBIT.

## REFERÊNCIAS

- [1] J. Han. Introduction to approximate computing. In *2016 IEEE 34th VLSI Test Symposium (VTS)*, pages 1–1, April 2016.
- [2] T. Moreau, A. Sampson, and L. Ceze. Approximate computing: Making mobile systems more efficient. *IEEE Pervasive Computing*, 14(2):9–13, Apr 2015.
- [3] D. Marwaha and A. Sharma. A review on approximate computing and some of the associated techniques for energy reduction in IoT. In *2018 2nd International Conference on Inventive Systems and Control (ICISC)*, pages 319–323, Jan 2018.
- [4] A. G. M. Strollo and D. Esposito. Approximate computing in the nanoscale era. In *2018 International Conference on IC Design Technology (ICIDT)*, pages 21–24, June 2018.

- [5] Z. Liu, J. Zhou, D. Wang, and T. Ikenaga. Register length analysis and VLSI optimization of VBS Hadamard transform in H.264/AVC. *IEEE Trans. Circuits Syst. Video Technol.*, 21(5):601–610, May 2011.
- [6] M. Osta, A. Ibrahim, H. Chible, and M. Valle. Approximate multipliers based on inexact adders for energy efficient data processing. In *2017 New Generation of CAS (NGCAS)*, pages 125–128, Sep. 2017.
- [7] Aminul Islam, M. W. Akram, Ale Imran, and Mohd. Hasan. Energy efficient and process tolerant full adder design in near threshold region using FinFET. pages 56–60, 2010.
- [8] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen. Low-power cmos digital design. *IEEE Journal of Solid-State Circuits*, 27(4):473–484, April 1992.
- [9] M. Ha and S. Lee. Multipliers with approximate 4–2 compressors and error recovery modules. *IEEE Embedded Systems Letters*, 10(1):6–9, March 2018.
- [10] Vaibhav Gupta, Debabrata Mohapatra, Sang Phill Park, Anand Raghunathan, and Kaushik Roy. Impact: Imprecise adders for low-power approximate computing. *IEEE/ACM International Symposium on Low Power Electronics and Design*, pages 409–414, 2011.
- [11] Tsu-Jae King. Finfets for nanoscale cmos digital integrated circuits. In *ICCAD-2005. IEEE/ACM International Conference on Computer-Aided Design, 2005.*, pages 207–210, 2005.
- [12] K. P. Subramaniyan and P. Larsson-Edefors. On regularity and integrated dfm metrics. In *2012 4th Asia Symposium on Quality Electronic Design (ASQED)*, pages 211–218, 2012.
- [13] Xuejue Huang, Wen-Chin Lee, Charles Kuo, D. Hisamoto, Leland Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Yang-Kyu Choi, K. Asano, V. Subramanian, Tsu-Jae King, J. Bokor, and Chenming Hu. Sub 50-nm finfet: Pmos. In *International Electron Devices Meeting 1999. Technical Digest (Cat. No.99CH36318)*, pages 67–70, 1999.
- [14] I. Aller and J. G. Clabes. The double-gate finfet: device and impact on ic design automation. In *2004 International Conference on Integrated Circuit Design and Technology (IEEE Cat. No.04EX866)*, pages 135–141, 2004.
- [15] Jon Cartwright. Intel enters the third dimension. *Nature*, May 2011.
- [16] D. Hisamoto, Wen-Chin Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, Tsu-Jae King, J. Bokor, and Chenming Hu. Finfet-a self-aligned double-gate mosfet scalable to 20 nm. *IEEE Transactions on Electron Devices*, 47(12):2320–2325, 2000.
- [17] K.G. Anil, K. Henson, S. Biesemans, and N. Collaert. Layout density analysis of FinFETs. In *Electrical Performance of Electrical Packaging (IEEE Cat. No. 03TH8710)*. IEEE.
- [18] M. Alioto. Comparative evaluation of layout density in 3t, 4t, and mt finfet standard cells. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 19(5):751–762, 2011.
- [19] S. Sinha, G. Yeric, V. Chandra, B. Cline, and Y. Cao. Exploring sub-20nm finfet design with predictive technology models. In *DAC Design Automation Conference 2012*, pages 283–288, 2012.
- [20] G. Pei, J. Kedzierski, P. Oldiges, M. Jeong, and E. C. . Kan. Finfet design considerations based on 3-d simulation and analytical modeling. *IEEE Transactions on Electron Devices*, 49(8):1411–1419, 2002.
- [21] Mohan Vamsi Dunga, Chung-Hsun Lin, Ali M. Niknejad, and Chenming Hu. *BSIM-CMG: A Compact Model for Multi-Gate Transistors*, pages 113–153. Springer US, Boston, MA, 2008.
- [22] A. Yesayan, N. Chevillon, F. Prégaldiny, and C. Lallement. Compact physics-based model for ultrashort finfets. In *Proceedings of the 17th International Conference Mixed Design of Integrated Circuits and Systems - MIXDES 2010*, pages 75–80, 2010.
- [23] L. Gerrer, S. M. Amoroso, S. Markov, F. Adamu-Lema, and A. Asenov. 3-d statistical simulation comparison of oxide reliability of planar mosfets and finfet. *IEEE Transactions on Electron Devices*, 60(12):4008–4013, 2013.
- [24] S. Yao, T. H. Morshed, D. D. Lu, S. Venugopalan, W. Xiong, C. R. Cleavelin, A. M. Niknejad, and C. Hu. Global parameter extraction for a multi-gate mosfets compact model. In *2010 International Conference on Microelectronic Test Structures (ICMTS)*, pages 194–197, 2010.
- [25] Lawrence T. Clark, Vinay Vashishtha, Lucian Shifren, Aditya Gujja, Saurabh Sinha, Brian Cline, Chandarasekaran Ramamurthy, and Greg Yeric. Asap7: A 7-nm finfet predictive process design kit. *Microelectronics Journal*, 53:105–115, 2016.
- [26] L. Collins. Variability issues challenge finfet advantages. <https://www.techdesignforums.com/blog/2014/04/16/finfet-variability-challenges-advantages/>, Apr 2014.
- [27] Keivan Navi, Omid Kavehei, Mahnoush Rouholamini, Amir Sahafi, Shima Mehrabi, and Nooshin Dadkhahi. Low-power and high-performance 1-bit CMOS full adder cell. *Journal of Computers - JCP*, 3:48–54, 02 2008.
- [28] S. Mohanraj and M. Maheswari. SERF and modified SERF adders for ultra low power design techniques. *Procedia Engineering*, 30:639 – 645, 2012. International Conference on Communication Technology and System Design 2011.
- [29] Zhixi Yang, Ajaypat Jain, Jinghang Liang, Jie Han, and Fabrizio Lombardi. Approximate XOR/XNOR-based adders for inexact computing. *2013 13th IEEE International Conference on Nanotechnology (IEEE-NANO 2013)*, pages 690–693, 2013.
- [30] Neil Weste and David Harris. *CMOS VLSI Design: A Circuits and Systems Perspective*. Addison-Wesley Publishing Company, USA, 4th edition, 2010.
- [31] M. Monteiro. In *To be published*, 2021.
- [32] J. Canny. A computational approach to edge detection. *IEEE Transactions on Pattern Analysis and Machine Intelligence*, PAMI-8(6):679–698, 1986.
- [33] B. A. Abreu, M. Grellert, and S. Bampi. Vlsi design of tree-based inference for low-power learning applications. In *2020 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1–5, 2020.